

Kinetis KL26 子系列

基于 48 MHz Cortex-M0+ 的微控制器

设计时充分考虑效率。兼容所有其他 Kinetis L 系列和 Kinetis K2x 系列。带 USB 2.0 的通用 MCU，具有市场领先的超低功耗特性，为开发人员提供合适的入门级 32 位解决方案。

该产品具有以下特性：

- 在极低功耗运行模式下，运行功耗低至 40 μ A/MHz
- 静态功耗低至 2 μ A，并具有全状态保留和 4.5 μ s 唤醒能力
- 超高效 Cortex-M0+ 处理器，运行频率高达 48 MHz，具有业界领先的吞吐速率
- 存储器选项为最高 128 KB Flash 和 16 KB RAM
- 节能架构针对低功耗优化，采用 90nm TFS 技术、时钟和电源选通技术以及零等待状态 Flash 存储器控制器

性能

- 48 MHz ARM[®] Cortex[®]-M0+ 内核

存储器和存储器接口

- 高达 128 KB 的程序 Flash 存储器
- 高达 16 KB 的 SRAM

系统外设

- 九种低功耗模式，可根据应用要求提供功耗优化
- COP 软件看门狗
- 4 通道 DMA 控制器，支持多达 63 个请求源
- 低漏电唤醒单元
- SWD 调试接口和微跟踪缓冲器
- 位操作引擎

时钟

- 32 kHz 至 40 kHz 或 3 MHz 至 32 MHz 晶振
- 多用途时钟源

工作特性

- 电压范围：1.71 V 至 3.6 V
- Flash 写入电压范围：1.71 V 至 3.6 V
- 温度范围（环境）：-40 °C 至 105 °C

人机接口

- 低功耗硬件触摸传感器接口(TSI)
- 最多 50 个通用输入/输出(GPIO)

通信接口

- USB 全速/低速 On-the-Go 控制器，带有片上收发器和 5 V 至 3.3 V 稳压器
- 两个 16 位 SPI 模块
- I2S (SAI) 模块
- 一个低功耗 UART 模块
- 两个 UART 模块
- 两个 I2C 模块

模拟模块

- 16 位 SAR ADC
- 12 位 DAC
- 集成 6 位 DAC 和可编程基准输入的模拟比较器 (CMP)

定时器

- 六通道定时器/PWM (TPM)
- 两个双通道定时器/PWM 模块
- 周期性中断定时器
- 16 位低功耗定时器(LPTMR)
- 实时时钟

安全性和完整性模块

- 每个芯片具有 80 位唯一标识号

MKL26ZxxxVFM4
MKL26ZxxxVFT4
MKL26ZxxxVLH4



32 引脚 QFN (FM)



48 引脚 QFN (FT)

5 x 5 x 1, 间距 0.5 mm 7 x 7 x 1, 间距 0.5 mm



64 引脚 LQFP (LH)

10 x 10 x 1.4, 间距 0.5 mm

订购信息

器件型号	存储器		I/O 最大数量
	Flash (KB)	SRAM (KB)	
MKL26Z32VFM4	32	4	23
MKL26Z64VFM4	64	8	23
MKL26Z128VFM4	128	16	23
MKL26Z32VFT4	32	4	36
MKL26Z64VFT4	64	8	36
MKL26Z128VFT4	128	16	36
MKL26Z32VLH4	32	4	50
MKL26Z64VLH4	64	8	50
MKL26Z128VLH4	128	16	50

相关资源

类型	说明	资源
选型指南	Freescle Solution Advisor 是一款基于网络的工具，具有交互式应用向导和动态产品选型器。	Solution Advisor
参考手册	《参考手册》包含关于器件结构与功能（操作）的详细说明。	KL26P64M48SF5RM ¹
数据手册	《数据手册》包含电气特性和信号连接信息。	KL26P64M48SF5 ¹
芯片勘误表	《芯片掩模组勘误表》提供特定器件掩模组的额外信息或更正信息。	KINETIS_L_xN15J ²
封装图纸	封装图纸中提供了封装尺寸。	QFN 32 引脚：98ASA00473D ¹ QFN 48 引脚：98ASA00466D ¹ LQFP 64 引脚：98ASS23234W ¹

- 如需获取相关资源，请前往 <http://www.freescale.com> 并使用以下术语进行搜索。
- 如需获取相关资源，请前往 <http://www.freescale.com> 并使用您的器件修订版代替“x”执行术语搜索。

目录

1 额定值.....	4	3.6.3 12 位 DAC 电气特性.....	30
1.1 热操作额定值.....	4	3.7 定时器.....	33
1.2 湿度操作额定值.....	4	3.8 通信接口.....	33
1.3 ESD 操作额定值.....	4	3.8.1 USB 电气特性.....	33
1.4 电压和电流操作额定值.....	4	3.8.2 USB VREG 电气规格.....	34
2 通用.....	5	3.8.3 SPI 电气及时序特性.....	34
2.1 交流电气特性.....	5	3.8.4 内部集成电路接口(I2C)时序.....	38
2.2 静态电气特性.....	5	3.8.5 UART.....	39
2.2.1 电压和电流工作要求.....	6	3.8.6 I2S/SAI 开关特性.....	40
2.2.2 LVD 和 POR 工作要求.....	6	3.9 人机界面(HMI).....	44
2.2.3 电压和电流特性.....	7	3.9.1 TSI 电气规格.....	44
2.2.4 功耗模式转换特性.....	8	4 尺寸.....	44
2.2.5 功耗特性.....	9	4.1 获取封装尺寸.....	44
2.2.6 EMC 电磁辐射特性.....	14	5 引脚分配.....	45
2.2.7 设计时需考虑电磁辐射.....	15	5.1 KL26 信号多路复用及引脚分配.....	45
2.2.8 电容属性.....	15	5.2 KL26 引脚分配.....	47
2.3 开关特性.....	15	6 订购器件.....	50
2.3.1 器件时钟特性.....	15	6.1 确定有效的可订购器件.....	50
2.3.2 一般开关规格.....	16	7 部件标识.....	50
2.4 热学特性.....	16	7.1 说明.....	51
2.4.1 热学操作要求.....	16	7.2 格式.....	51
2.4.2 热学属性.....	16	7.3 字段.....	51
3 外设工作要求与特性.....	17	7.4 示例.....	51
3.1 内核模块.....	17	8 术语和准则.....	52
3.1.1 SWD 电气特性.....	17	8.1 定义: 操作要求.....	52
3.2 系统模块.....	18	8.2 定义: 特性.....	52
3.3 时钟模块.....	18	8.3 定义: 属性.....	52
3.3.1 MCG 特性.....	18	8.4 定义: 极限.....	52
3.3.2 振荡器电气规格.....	20	8.5 超出极限的后果.....	53
3.4 存储器 and 存储器接口.....	22	8.6 极限与操作要求的关系.....	53
3.4.1 Flash 电气规格.....	22	8.7 额定值和操作要求准则.....	54
3.5 安全性和完整性模块.....	23	8.8 定义: 典型值.....	54
3.6 模拟.....	24	8.9 典型值条件.....	55
3.6.1 ADC 电气规格.....	24	9 修订记录.....	56
3.6.2 CMP 和 6 位 DAC 的电气规格.....	28		

1 额定值

1.1 热操作额定值

表 1. 热操作额定值

符号	说明	最小值	最大值	单位	注释
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

1.2 湿度操作额定值

表 2. 湿度操作额定值

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

1.3 ESD 操作额定值

表 3. ESD 操作额定值

符号	说明	最小值	最大值	单位	注释
V _{HBM}	静电放电电压, 人体放电模式	-2000	+2000	V	1
V _{CDM}	静电放电电压, 设备充电模式	-500	+500	V	2
I _{LAT}	105 °C 环境温度下的门锁电流	-100	+100	mA	3

1. 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”确定。
2. 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
3. 根据 JEDEC 标准 JESD78“IC 门锁测试”确定。

1.4 电压和电流操作额定值

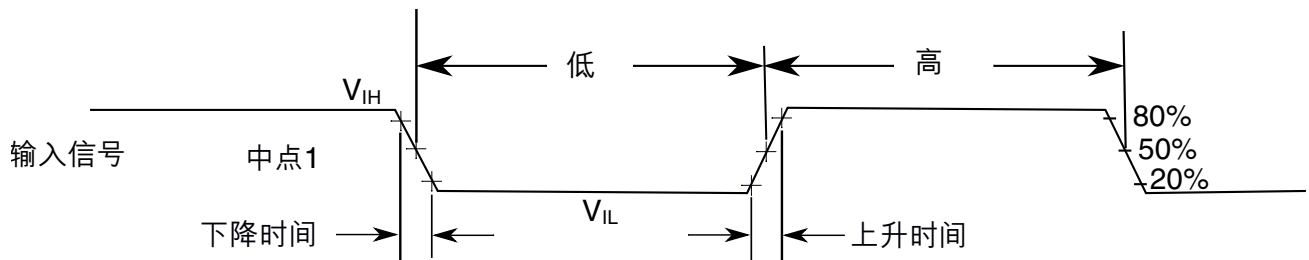
表 4. 电压和电流操作额定值

符号	说明	最小值	最大值	单位
V_{DD}	数字电源电压	-0.3	3.8	V
I_{DD}	数字电源电流	—	120	mA
V_{IO}	IO 引脚输入电压	-0.3	$V_{DD} + 0.3$	V
I_D	单引脚瞬态最大电流限值 (适用于所有端口引脚)	-25	25	mA
V_{DDA}	模拟电源电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V
V_{USB_DP}	USB_DP 输入电压	-0.3	3.63	V
V_{USB_DM}	USB_DM 输入电压	-0.3	3.63	V
V_{REGIN}	USB 稳压器输入	-0.3	6.0	V

2 通用

2.1 交流电气特性

除非另有说明, 否则传播延迟在 50% 点到 50% 点处测得, 上升时间和下降时间在 20% 和 80% 点处测得, 如下图所示。



$$\text{中点是 } V_{IL} + (V_{IH} - V_{IL}) / 2$$

图 1. 输入信号测量参考

除非另有说明, 否则所有数字 I/O 开关特性均假设输出引脚具备下列特性。

- $C_L=30$ pF 负载
- 压摆率禁用
- 正常驱动强度

2.2 静态电气特性

2.2.1 电压和电流工作要求

表 5. 电压和电流工作要求

符号	说明	最小值	最大值	单位	注释
V_{DD}	供电电压	1.71	3.6	V	
V_{DDA}	模拟供电电压	1.71	3.6	V	
$V_{DD} - V_{DDA}$	V_{DD} 至 V_{DDA} 差分电压	-0.1	0.1	V	
$V_{SS} - V_{SSA}$	V_{SS} 至 V_{SSA} 差分电压	-0.1	0.1	V	
V_{IH}	输入高电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	$0.7 \times V_{DD}$ $0.75 \times V_{DD}$	— —	V V	
V_{IL}	输入低电压 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	— —	$0.35 \times V_{DD}$ $0.3 \times V_{DD}$	V V	
V_{HYS}	输入迟滞	$0.06 \times V_{DD}$	—	V	
I_{ICIO}	IO 引脚负直流注入电流——单引脚 <ul style="list-style-type: none"> $V_{IN} < V_{SS}-0.3\text{V}$ 	-3	—	mA	1
I_{ICcont}	连续引脚直流注入电流——区域限制, 包括 16 个连续引脚的负注入电流之和 <ul style="list-style-type: none"> 负电流注入 	-25	—	mA	
V_{ODPU}	开漏上拉电压电平	V_{DD}	V_{DD}	V	2
V_{RAM}	保持 RAM 数据所需的 V_{DD} 电压	1.2	—	V	

- 所有 I/O 引脚均通过 ESD 保护二极管内部钳位至 V_{SS} 。 V_{DD} 未连接二极管。 如果观察到 V_{IN} 大于 V_{IO_MIN} ($= V_{SS}-0.3\text{ V}$) , 则无需在管脚上提供限流电阻。 如果未观察到该限制, 则需要一个限流电阻。 负 DC 注入限流电阻的计算公式如下: $R = (V_{IO_MIN} - V_{IN})/|I_{ICIO}|$ 。
- 开漏输出必须拉至 V_{DD} 。

2.2.2 LVD 和 POR 工作要求

表 6. V_{DD} 电源 LVD 和 POR 工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V_{POR}	下降沿电压 V_{DD} POR 检测电压	0.8	1.1	1.5	V	—
V_{LVDH}	下降沿低压检测阈值 — 高范围(LVDV = 01)	2.48	2.56	2.64	V	—
V_{LVW1H} V_{LVW2H}	低压警告阈值 — 高范围 <ul style="list-style-type: none"> 1 级压降(LVWV = 00) 	2.62	2.70	2.78	V	1

下一页继续介绍此表...

表 6. V_{DD} 电源 LVD 和 POR 工作要求 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V_{LVW3H}	<ul style="list-style-type: none"> 2 级压降(LVWV=01) 	2.72	2.80	2.88	V	
V_{LVW4H}	<ul style="list-style-type: none"> 3 级压降(LVWV=10) 4 级压降(LVWV=11) 	2.82	2.90	2.98	V	
V_{HYSH}	低压抑制复位/恢复迟滞 — 高范围	—	±60	—	mV	—
V_{LVDL}	下降沿低压检测阈值 — 低范围(LVDV=00)	1.54	1.60	1.66	V	—
V_{LVW1L}	低压警告阈值 — 低范围 <ul style="list-style-type: none"> 1 级压降(LVWV = 00) 	1.74	1.80	1.86	V	1
V_{LVW2L}	<ul style="list-style-type: none"> 2 级压降(LVWV=01) 	1.84	1.90	1.96	V	
V_{LVW3L}	<ul style="list-style-type: none"> 3 级压降(LVWV=10) 	1.94	2.00	2.06	V	
V_{LVW4L}	<ul style="list-style-type: none"> 4 级压降(LVWV=11) 	2.04	2.10	2.16	V	
V_{HYSL}	低压抑制复位/恢复迟滞 — 低范围	—	±40	—	mV	—
V_{BG}	带隙电压参考	0.97	1.00	1.03	V	—
t_{LPO}	内部低功耗振荡器周期 — 工厂调整	900	1000	1100	μs	—

1. 上升沿阈值 = 下降沿阈值 + 迟滞电压

2.2.3 电压和电流特性

表 7. 电压和电流特性

符号	说明	最小值	最大值	单位	注释
V_{OH}	输出高电压 — 正常驱动管脚 (RESET_b 除外) <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -5\text{ mA}$ $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -2.5\text{ mA}$ 	$V_{DD} - 0.5$	—	V	1, 2
V_{OH}	输出高电压 — 高电平驱动管脚 (RESET_b 除外) <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -20\text{ mA}$ $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -10\text{ mA}$ 	$V_{DD} - 0.5$	—	V	1, 2
I_{OHT}	所有端口的总输出高电流	—	100	mA	
V_{OL}	输出低电压 — 正常驱动管脚 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 5\text{ mA}$ $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 2.5\text{ mA}$ 	—	0.5	V	1
V_{OL}	输出低电压 — 高电平驱动管脚 <ul style="list-style-type: none"> $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 20\text{ mA}$ $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 10\text{ mA}$ 	—	0.5	V	1
I_{OLT}	所有端口的总输出低电流	—	100	mA	

下一页继续介绍此表...

表 7. 电压和电流特性 (继续)

符号	说明	最小值	最大值	单位	注释
I_{IN}	全温度范围的输入漏电流 (每个引脚)	—	1	μA	3
I_{IN}	25 °C 下的输入漏电流 (每个引脚)	—	0.025	μA	3
I_{IN}	全温度范围的输入漏电流 (所有引脚的总值)	—	65	μA	3
I_{OZ}	Hi-Z (关闭状态) 漏电流 (每个引脚)	—	1	μA	
R_{PU}	内部上拉电阻	20	50	$k\Omega$	4

1. PTB0、PTB1、PTD6 和 PTD7 I/O 同时具有高电平驱动和正常驱动能力，由相关的 PTx_PCRn[DSE]控制位进行选择。其他的 GPIO 只能进行正常驱动。
2. 配置为 RESET 信号或 GPIO 时，复位引脚仅含有下拉有效装置。配置为 GPIO 输出时，该引脚用作伪开漏输出。
3. 在 $V_{DD} = 3.6 V$ 时测量
4. 在 V_{DD} 电源电压 = V_{DD} (最小值) 且 $V_{input} = V_{SS}$ 时测量

2.2.4 功耗模式转换特性

下表中，除 t_{POR} 和 $VLLSx \rightarrow RUN$ 恢复时间外的所有规格均假定时钟配置如下：

- CPU 和系统时钟 = 48 MHz
- 总线和 Flash 时钟 = 24 MHz
- FEI 时钟模式

POR 和 $VLLSx \rightarrow RUN$ 恢复采用 FEI 时钟模式，默认 CPU 和系统频率为 21 MHz，总线和 Flash 时钟频率为 10.5 MHz。

表 8. 功耗模式转换特性

符号	说明	最小值	典型值	最大值	单位	注释
t_{POR}	POR 事件后，芯片工作温度范围内，从 V_{DD} 达到 1.8 V 到执行第一条指令所需的时间。	—	—	300	μs	1
	• $VLLS0 \rightarrow RUN$	—	106	120	μs	
	• $VLLS1 \rightarrow RUN$	—	105	117	μs	
	• $VLLS3 \rightarrow RUN$	—	47	54	μs	
	• $LLS \rightarrow RUN$	—	4.5	5.0	μs	
	• $VLPS \rightarrow RUN$	—	4.5	5.0	μs	
	• $STOP \rightarrow RUN$	—	4.5	5.0	μs	

1. 正常引导(FTFA_FOFT[LPBOOT]=11)。

2.2.5 功耗特性

下表列出的最大值表示相当于均值加上三倍标准偏差的表征结果 (均值 + 3 倍标准差)。

表 9. 功耗特性

符号	说明	温度	典型值	最大值	单位	附注
I_{DDA}	模拟电源电流	—	—	参见注释	mA	1
$I_{DD_RUNCO_CM}$	计算操作中的运行模式电流 - 48 MHz 内核/24 MHz Flash/总线禁用, LPTMR 采用 4 MHz 内部参考时钟运行, CoreMark®基准代码从 Flash 开始执行 (3.0 V 时)	—	6.1	—	mA	2
I_{DD_RUNCO}	计算操作中的运行模式电流 - 48 MHz 内核/24 MHz Flash/总线时钟禁用, while(1)循环代码从 Flash 执行 (3.0 V 时)	—	3.8	4.4	mA	3
I_{DD_RUN}	运行模式电流 - 48 MHz 内核/24 MHz 总线和 Flash, 所有外设时钟禁用, 代码从 Flash 执行 (3.0 V 时)	—	4.6	5.2	mA	3
I_{DD_RUN}	运行模式电流 - 48 MHz 内核/24 MHz 总线和 Flash, 所有外设时钟使能, 代码从 Flash 执行 (3.0 V 时)	25 °C 时	6.0	6.2	mA	3, 4
		70 °C 时	6.2	6.4	mA	
		125 °C 时	6.2	6.5	mA	
I_{DD_WAIT}	等待模式电流 - 内核禁用/48 MHz 系统/24 MHz 总线/Flash 禁用 (Flash 休眠使能), 所有外设时钟禁用 (3.0 V 时)	—	2.7	3.2	mA	3
I_{DD_WAIT}	等待模式电流 - 内核禁用/24 MHz 系统/24 MHz 总线/Flash 禁用 (Flash 休眠使能), 所有外设时钟禁用 (3.0 V 时)	—	2.1	2.6	mA	3
I_{DD_PSTOP2}	带局部 Stop2 时钟选项的停止模式电流 - 内核和系统禁用/10.5 MHz 总线 (3.0 V 时)	—	1.5	2.0	mA	3
$I_{DD_VLPRCO_CM}$	计算操作中的极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz Flash/总线禁用, LPTMR 采用 4 MHz 内部参考时钟运行, CoreMark 基准代码从 Flash 开始执行 (3.0 V 时)	—	732	—	μA	5
I_{DD_VLPRCO}	计算操作中的极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz Flash/总线时钟禁用, 代码从 Flash 执行 (3.0 V 时)	—	161	329	μA	6
I_{DD_VLPR}	极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz 总线和 Flash, 所有外设时钟禁用, 代码从 Flash 执行 (3.0 V 时)	—	185	352	μA	6

下一页继续介绍此表...

表 9. 功耗特性 (继续)

符号	说明	温度	典型值	最大值	单位	附注
I_{DD_VLPR}	极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz 总线和 Flash, 所有外设时钟使能, 代码从 Flash 执行 (3.0 V 时)	—	255	421	μA	4, 6
I_{DD_VLPW}	极低功耗等待模式电流 - 内核禁用/4 MHz 系统/0.8 MHz 总线/Flash 禁用 (Flash 休眠使能), 所有外设时钟禁用 (3.0 V 时)	—	110	281	μA	6
I_{DD_STOP}	3.0 V 时的停止模式电流	25 °C 时	305	326	μA	—
		50 °C 时	317	344	μA	
		70 °C 时	337	380	μA	
		85 °C 时	364	428	μA	
		105 °C 时	429	553	μA	
I_{DD_VLPS}	3.0 V 时的极低功耗停止模式电流	25 °C 时	2.69	4.14	μA	—
		50 °C 时	5.54	9.80	μA	
		70 °C 时	11.80	21.94	μA	
		85 °C 时	21.13	39.13	μA	
		105 °C 时	45.85	85.45	μA	
I_{DD_LLS}	3.0 V 时的低漏电停止模式电流	25 °C 时	1.98	2.65	μA	—
		50 °C 时	3.13	4.35	μA	
		70 °C 时	5.65	8.34	μA	
		85 °C 时	9.58	14.29	μA	
		105 °C 时	20.52	31.74	μA	
I_{DD_VLLS3}	3.0 V 时的极低漏电停止模式 3 电流	25 °C 时	1.46	2.06	μA	—
		50 °C 时	2.29	3.22	μA	
		70 °C 时	4.10	5.90	μA	
		85 °C 时	6.93	10.02	μA	
		105 °C 时	14.80	22.12	μA	
I_{DD_VLLS1}	3.0 V 时的极低漏电停止模式 1 电流	25 °C 时	0.71	1.20	μA	—
		50 °C 时	1.10	1.71	μA	
		70 °C 时	2.09	3.03	μA	
		85 °C 时	3.80	5.42	μA	
		105 °C 时	8.84	12.98	μA	
I_{DD_VLLS0}	3.0 V 时的极低漏电停止模式 0 电流 (SMC_STOPCTRL[PORPO] = 0)	25 °C 时	0.40	0.88	μA	—
		50 °C 时	0.80	1.40	μA	
		70 °C 时	1.79	2.72	μA	
		85 °C 时	3.50	5.10	μA	
		105 °C 时	8.54	12.63	μA	
I_{DD_VLLS0}	3.0 V 时的极低漏电停止模式 0 电流 (SMC_STOPCTRL[PORPO] = 1)	25 °C 时	0.23	0.69	μA	7
		50 °C 时	0.61	1.19	μA	

下一页继续介绍此表...

表 9. 功耗特性 (继续)

符号	说明	温度	典型值	最大值	单位	附注
		70 °C 时	1.59	2.50	μA	
		85 °C 时	3.30	4.89	μA	
		105 °C 时	8.36	12.41	μA	

1. 模拟电源电流等于器件上每个模拟模块的工作或禁用电流之和。有关其电源电流请参见每个模块的特性。
2. MCG 配置为 PEE 模式。通过 IAR 6.40 以高优化级别编译 CoreMark 基准代码，针对平衡优化。
3. MCG 配置为 FEI 模式。
4. 不包含外设活动增加的电流损耗。
5. MCG 配置为 BLPI 模式。通过 IAR 6.40 以高优化级别编译 CoreMark 基准代码，针对平衡优化。
6. MCG 配置为 BLPI 模式。
7. 无掉电。

表 10. 低功耗模式外设增加的电流 — 典型值

符号	说明	温度(°C)						单位	
		-40	25	50	70	85	105		
I _{REFSTEN4MHz}	4 MHz 内部参考时钟(IRC)增加电流。在 4 MHz IRC 使能情况下，通过进入 STOP 或 VLPS 模式进行测量。	56	56	56	56	56	56	μA	
I _{REFSTEN32KHz}	32 kHz 内部参考时钟(IRC)增加电流。在 32 kHz IRC 使能情况下，通过进入 STOP 模式进行测量。	52	52	52	52	52	52	μA	
I _{REFSTEN4MHz}	外部 4 MHz 晶振时钟增加电流。在晶振使能情况下，通过进入 STOP 或 VLPS 模式进行测量。	206	228	237	245	251	258	μA	
I _{REFSTEN32KHz}	外部 32 kHz 晶振时钟增加电流，通过 OSC0_CR[EREFSTEN 和 EREFSTEN]位来选择。在晶振使能情况下，通过进入所有模式进行测量。	VLLS1	440	490	540	560	570	580	nA
		VLLS3	440	490	540	560	570	580	
		LLS	490	490	540	560	570	680	
		VLPS	510	560	560	560	610	680	
		STOP	510	560	560	560	610	680	
I _{CMP}	CMP 外设增加电流，通过进入 VLLS1 模式进行测量，其中使用 6 位 DAC 和单个外部输入进行比较来使能 CMP。包括 6 位 DAC 的功耗。	22	22	22	22	22	22	μA	
I _{RTC}	RTC 外设增加电流，通过进入 VLLS1 模式进行测量，其中通过 RTC_CR[OSCE]位使能外部 32 kHz 晶振并将 RTC ALARM 设为 1 分钟。包括 ERCLK32K (32 kHz 外部晶振) 功耗。	432	357	388	475	532	810	nA	
I _{UART}	UART 外设增加电流，通过进入 STOP 模式或 VLPS 模式进行测量，其中选定时钟源以 115200 波特率等待 RX 数据。包括选定的时钟源功耗。	MCGIRCLK (4 MHz 内部参考时钟)	66	66	66	66	66	66	μA
		OSCERCLK (4 MHz 外部晶振)	214	237	246	254	260	268	

下一页继续介绍此表...

表 10. 低功耗模式外设增加的电流 — 典型值 (继续)

符号	说明	温度(°C)						单位	
		-40	25	50	70	85	105		
I _{TPM}	TPM 外设增加电流, 通过进入 STOP 模式或 VLPS 模式进行测量, 其中配置用于输出比较的选定时钟源生成 100 Hz 信号。产生时钟信号的 I/O 上不存在负载。包括选定时钟源和 I/O 开关电流功耗。	MCGIRCLK (4 MHz 内部参考时钟)	86	86	86	86	86	86	μA
		OSCERCLK (4 MHz 外部晶振)	235	256	265	274	280	287	
I _{BG}	BGEN 位置位且设备处于 VLPx、LLS 或 VLLSx 模式时的带隙增加电流。		45	45	45	45	45	45	μA
I _{ADC}	ADC 外设增加电流, V _{DD} 和 V _{DDA} 时测量值的组合, 通过进入 STOP 模式或 VLPS 模式进行测量。采用内部时钟将 ADC 配置为低功耗模式, 并继续执行转换操作。		366	366	366	366	366	366	μA

2.2.5.1 示意图: 典型 IDD_RUN 工作特性

下列数据的测量条件如下所示:

- MCG 在运行模式下是 FBE 模式, 在 VLPR 模式下是 BLPE 模式
- USB 稳压器禁用
- 无 GPIO 切换
- 从 Flash 执行代码且使能高速缓存
- 对于 ALLOFF 曲线, 禁用除 FTFA 外的全部外设时钟

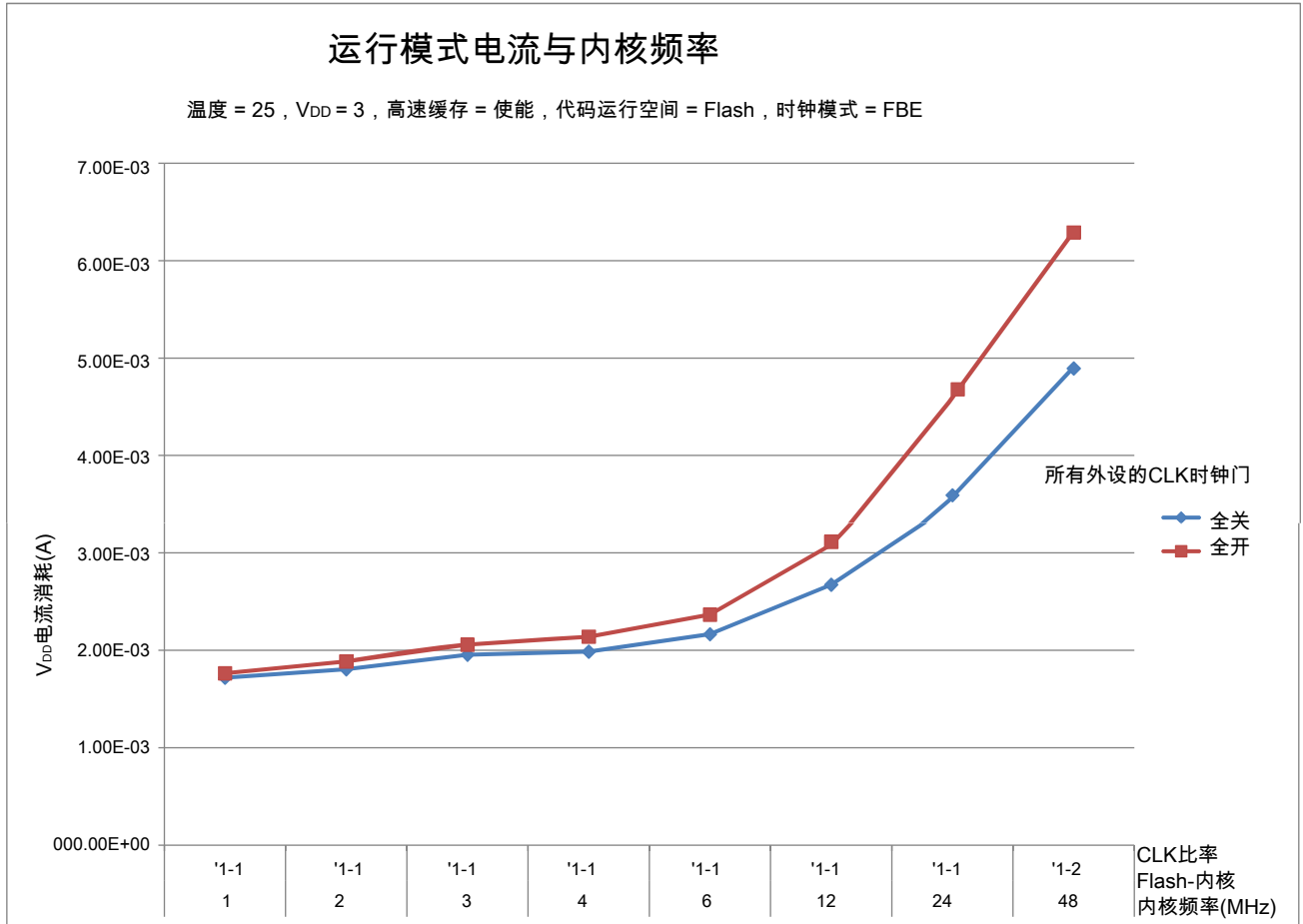


图 2. 运行模式电源电流与内核频率

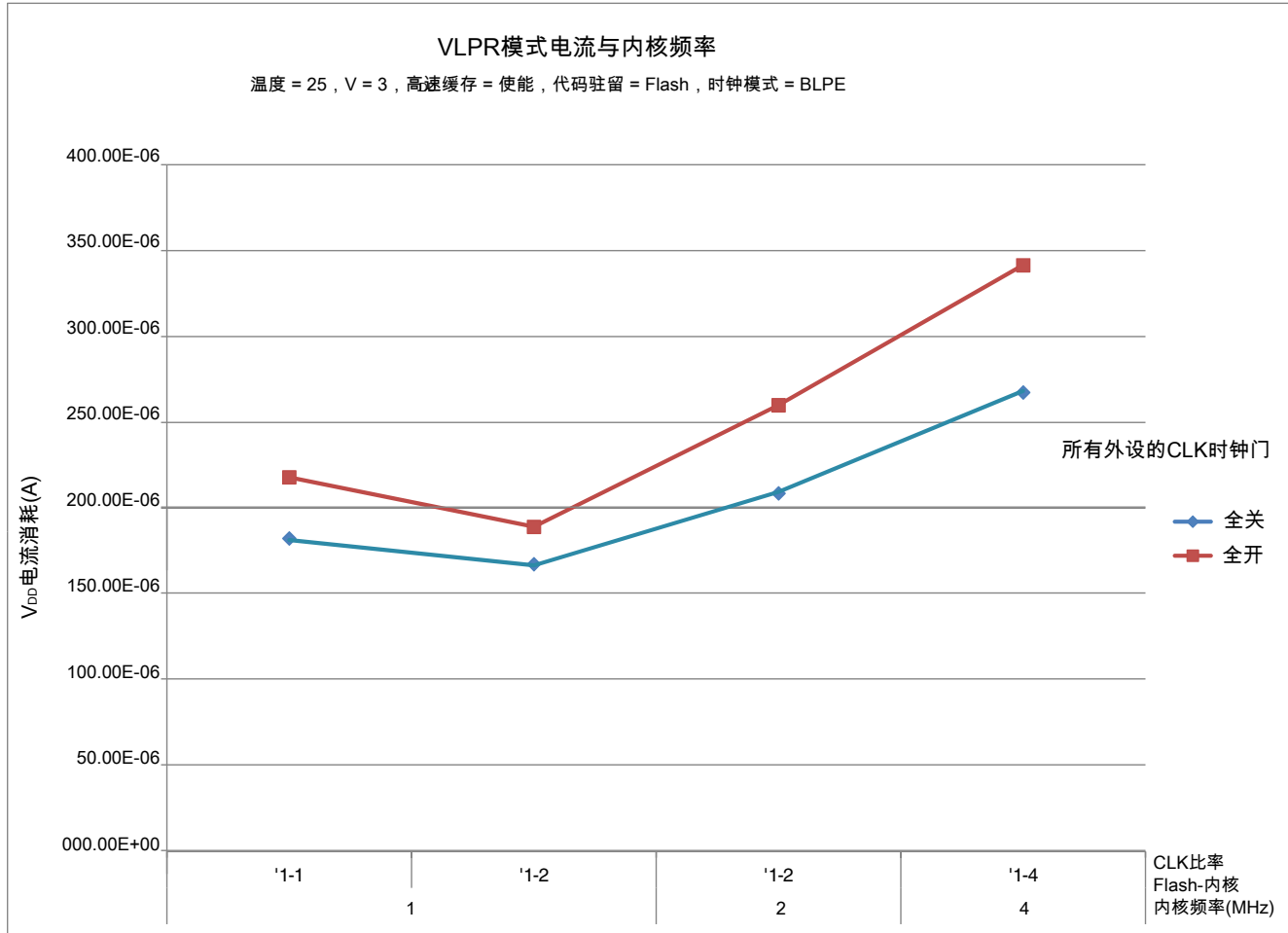


图 3. VLPR 模式电流与内核频率

2.2.6 EMC 电磁辐射特性

表 11. EMC 电磁辐射特性

符号	说明	频带(MHz)	典型值	单位	注释
V _{RE1}	电磁辐射电压, 频带 1	0.15–50	16	dBμV	1, 2
V _{RE2}	电磁辐射电压, 频带 2	50–150	18	dBμV	
V _{RE3}	电磁辐射电压, 频带 3	150–500	11	dBμV	
V _{RE4}	电磁辐射电压, 频带 4	500–1000	13	dBμV	
V _{RE_IEC}	IEC 级别	0.15–1000	M	—	2, 3

- 根据 IEC 标准 61967-1“集成电路 - 电磁辐射的测定, 150 kHz 到 1 GHz 第 1 部分: 一般条件和定义”以及 IEC 标准 61967-2“集成电路 - 电磁辐射的测定, 150 kHz 到 1 GHz 第 2 部分: 电磁辐射的测定 - TEM 传输室及宽带 TEM 传输室方法”确定。在测定时, 微控制器运行基本应用代码。报告的辐射级别为测定的最大辐射值, 从每个频率范围的测定方向, 向上舍入到下一个整数。
- V_{DD} = 3.3 V, T_A = 25 °C, f_{OSC} = 8 MHz (晶振), f_{SYS} = 48 MHz, f_{BUS} = 24 MHz
- 根据 IEC 标准 61967-2“电磁辐射的测定 - TEM 传输室及宽带 TEM 传输室方法”的附录 D 指定

2.2.7 设计时需考虑电磁辐射

如果需要查找为设计系统以最大限度减少电磁辐射干扰提供指导的应用笔记：

1. 请访问 www.freescale.com。
2. 输入“EMC design”执行关键字搜索。

2.2.8 电容属性

表 12. 电容属性

符号	说明	最小值	最大值	单位
C _{IN}	输入电容	—	7	pF

2.3 开关特性

2.3.1 器件时钟特性

表 13. 器件时钟特性

符号	说明	最小值	最大值	单位
正常运行模式				
f _{SYS}	系统和内核时钟	—	48	MHz
f _{BUS}	总线时钟	—	24	MHz
f _{FLASH}	Flash 时钟	—	24	MHz
f _{SYS_USB}	采用全速 USB 时的系统和内核时钟	20	—	MHz
f _{LPTMR}	LPTMR 时钟	—	24	MHz
VLPR 和 VLPS 模式 ¹				
f _{SYS}	系统和内核时钟	—	4	MHz
f _{BUS}	总线时钟	—	1	MHz
f _{FLASH}	Flash 时钟	—	1	MHz
f _{LPTMR}	LPTMR 时钟 ²	—	24	MHz
f _{ERCLK}	外部参考时钟	—	16	MHz
f _{LPTMR_ERCLK}	LPTMR 外部参考时钟	—	16	MHz
f _{osc_hi_2}	晶振或谐振器频率 — 高频模式（高范围） (MCG_C2[RANGE]=1x)	—	16	MHz
f _{TPM}	TPM 异步时钟	—	8	MHz
f _{UART0}	UART0 异步时钟	—	8	MHz

1. VLPR 和 VLPS 模式下的频率限制会覆盖其他所有模块时序规格中的一切频率规格。无论是从 RUN 还是从 VLPR 进入 VLPS，VLPS 也适用同样的频率限制。
2. 仅当信号源为外部引脚时，才能在 VLPR 或 VLPS 下以此速度向 LPTMR 提供时钟。

2.3.2 一般开关规格

这些一般规格适用于配置为 GPIO 和 UART 的所有信号。

表 14. 一般开关规格

说明	最小值	最大值	单位	附注
GPIO 引脚中断脉冲宽度（数字毛刺滤波器禁用）— 同步路径	1.5	—	总线时钟周期	1
外部 RESET 和 NMI 引脚中断脉冲宽度 — 异步路径	100	—	ns	2
GPIO 引脚中断脉冲宽度 — 异步路径	16	—	ns	2
端口上升和下降时间	—	36	ns	3

1. 必须满足更高的同步和异步时序要求。
2. 这是保证可以识别的最短脉冲。
3. 75 pF 负载

2.4 热学特性

2.4.1 热学操作要求

表 15. 热学操作要求

符号	说明	最小值	最大值	单位
T_J	裸片结温	-40	125	°C
T_A	环境温度	-40	105	°C

2.4.2 热学属性

表 16. 热学属性

板类型	符号	说明	64 LQFP	48 QFN	32 QFN	单位	附注
单层(1S)	$R_{\theta JA}$	热阻, 连接到外部环境（自然对流）	71	83	98	°C/W	1
四层(2s2p)	$R_{\theta JA}$	热阻, 连接到外部环境（自然对流）	53	30	34	°C/W	

下一页继续介绍此表...

表 16. 热学属性 (继续)

板类型	符号	说明	64 LQFP	48 QFN	32 QFN	单位	附注
单层(1S)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	59	68	82	°C/W	
四层(2s2p)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	46	24	28	°C/W	
—	$R_{\theta JB}$	热阻, 连接到板	35	12	13	°C/W	2
—	$R_{\theta JC}$	热阻, 连接到管壳	21	2.3	2.3	°C/W	3
—	Ψ_{JT}	热特性参数, 连接到外封装顶部中心 (自然对流)	6	5	8	°C/W	4

1. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”或 EIA/JEDEC 标准 JESD51-6“集成电路热测试方法的环境条件—强制对流 (流动空气)”确定。
2. 根据 JEDEC 标准 JESD51-8“集成电路热测试方法的环境条件—连接到电路板”确定。
3. 根据 MIL-STD 883 方法 1012.1“测试方法标准：微电路”确定，其中冷板温度用于外壳温度。值包括封装顶部和冷板之间接口材料的热阻抗。
4. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”确定。

3 外设工作要求与特性

3.1 内核模块

3.1.1 SWD 电气特性

表 17. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
J1	SWD_CLK 操作频率 • 串行线调试	0	25	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉冲宽度 • 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	SWD_CLK 上升前的 SWD_DIO 输入数据建立时间	10	—	ns
J10	SWD_DIO 输入数据至 SWD_CLK 上升的保持时间	0	—	ns
J11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	32	ns
J12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

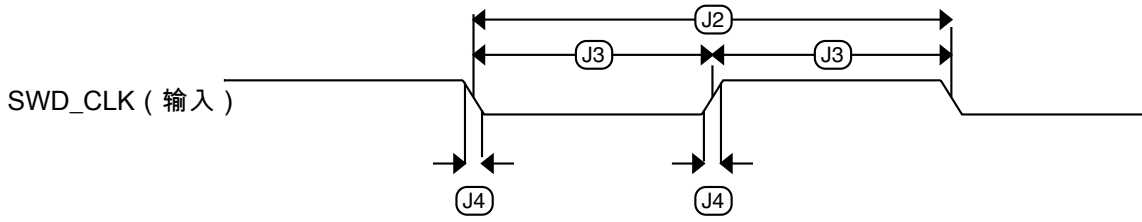


图 4. 串行线时钟输入时序

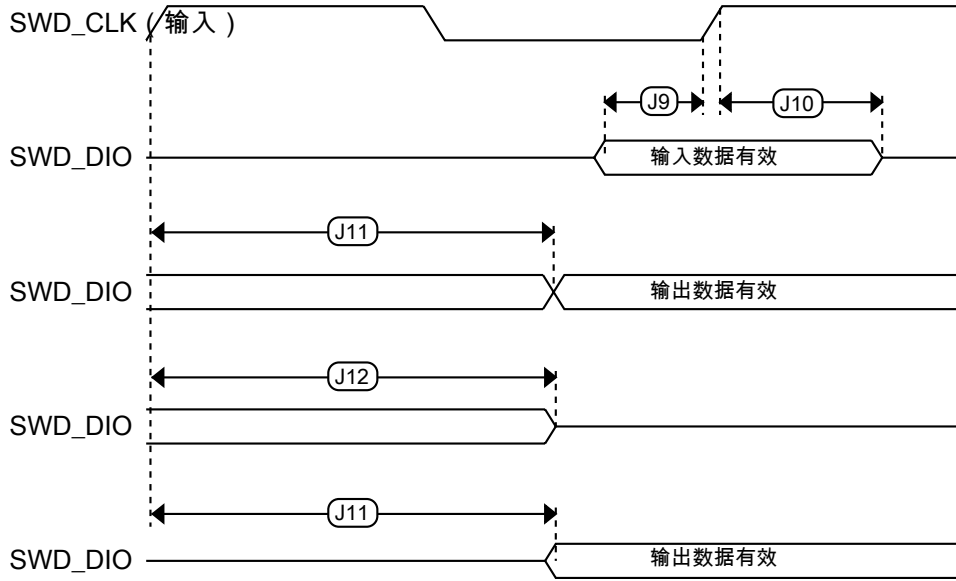


图 5. 串行线数据时序

3.2 系统模块

对于器件的系统模块，无特性要求。

3.3 时钟模块

3.3.1 MCG 特性

表 18. MCG 特性

符号	说明	最小值	典型值	最大值	单位	附注	
f_{ints_ft}	内部参考频率（慢速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	32.768	—	kHz		
f_{ints_t}	内部参考频率（慢速时钟）— 用户调整	31.25	—	39.0625	kHz		
$\Delta f_{dco_res_t}$	在固定电压和温度下，经调整后的平均 DCO 输出频率的分辨率 — 使用 C3[SCTRIM]和 C4[SCFTRIM]	—	± 0.3	± 0.6	% f_{dco}	1	
Δf_{dco_t}	经调整后的平均 DCO 输出频率随电压和温度变化的总偏差	—	+0.5/-0.7	± 3	% f_{dco}	1, 2	
Δf_{dco_t}	经调整后的平均 DCO 输出频率在固定电压和温度范围(0 - 70 °C)条件下的总偏差	—	± 0.4	± 1.5	% f_{dco}	1, 2	
f_{intf_ft}	内部参考频率（快速时钟）- 出厂时已在标称 VDD 和 25 °C 条件下调整	—	4	—	MHz		
Δf_{intf_ft}	内部参考时钟（快速时钟）随温度和电压变化的频率偏差 — 出厂时已在标称 VDD 和 25 °C 条件下调整	—	+1/-2	± 3	% f_{intf_ft}	2	
f_{intf_t}	内部参考频率（快速时钟）— 用户在标称 VDD 和 25 °C 条件下调整	3	—	5	MHz		
f_{loc_low}	外部时钟的最小频率损耗 — 范围 = 00	$(3/5) \times f_{ints_t}$	—	—	kHz		
f_{loc_high}	外部时钟的最小频率损耗 — 范围 = 01、10 或 11	$(16/5) \times f_{ints_t}$	—	—	kHz		
FLL							
f_{fill_ref}	FLL 参考频率范围	31.25	—	39.0625	kHz		
f_{dco}	DCO 输出频率范围	低范围(DRS = 00) $640 \times f_{fill_ref}$	20	20.97	25	MHz	3, 4
		中范围 (DRS = 01) $1280 \times f_{fill_ref}$	40	41.94	48	MHz	
$f_{dco_t_DMX3}^2$	DCO 输出频率	低范围(DRS = 00) $732 \times f_{fill_ref}$	—	23.99	—	MHz	5, 6
		中范围(DRS = 01) $1464 \times f_{fill_ref}$	—	47.97	—	MHz	
J_{cyc_fll}	FLL 周期抖动 • $f_{VCO} = 48$ MHz	—	180	—	ps	7	
$t_{fill_acquire}$	FLL 目标频率获取时间	—	—	1	ms	8	
PLL							
f_{vco}	VCO 工作频率	48.0	—	100	MHz		
I_{pll}	PLL 工作电流 • 96 MHz 下的 PLL ($f_{osc_hi_1} = 8$ MHz, $f_{pll_ref} = 2$ MHz, VDIV 乘数 = 48)	—	1060	—	μ A	9	
I_{pll}	PLL 工作电流	—	600	—	μ A	9	

下一页继续介绍此表...

表 18. MCG 特性 (继续)

符号	说明	最小值	典型值	最大值	单位	附注
	<ul style="list-style-type: none"> 48 MHz 下的 PLL ($f_{osc_hi_1} = 8 \text{ MHz}$, $f_{pll_ref} = 2 \text{ MHz}$, VDIV 乘数 = 24) 					
f_{pll_ref}	PLL 参考频率范围	2.0	—	4.0	MHz	
J_{cyc_pll}	PLL 周期抖动 (RMS)					10
	<ul style="list-style-type: none"> $f_{vco} = 48 \text{ MHz}$ $f_{vco} = 100 \text{ MHz}$ 	—	120	—	ps	
J_{acc_pll}	1 μs 内的 PLL 累加抖动(RMS)					10
	<ul style="list-style-type: none"> $f_{vco} = 48 \text{ MHz}$ $f_{vco} = 100 \text{ MHz}$ 	—	1350	—	ps	
D_{lock}	锁定输入频率公差	± 1.49	—	± 2.98	%	
D_{unl}	锁定退出频率公差	± 4.47	—	± 5.97	%	
t_{pll_lock}	锁定检测器检测时间	—	—	$150 \times 10^{-6} + 1075(1/f_{pll_ref})$	s	11

1. 测量此参数时，使用内部参考时钟（慢速时钟）作为 FLL 的参考时钟（FEI 时钟模式）。
2. 此偏差与在标称 V_{DD} 和 25 °C 条件下测定的出厂调整频率 f_{ints_ft} 相对应。
3. 这些列出的典型值采用的是慢速内部参考时钟(FEI)，使用出厂调整值且 DMX32 = 0。
4. 最终系统的时钟频率不得超过最大指定值。还须考虑 DCO 频率随电压和温度变化的偏差(Δf_{dco_t})。
5. 这些列出的典型值采用的是慢速内部参考时钟(FEI)，使用出厂调整值且 DMX32 = 1。
6. 生成的时钟频率不能超过器件的最大指定时钟频率。
7. 此规格基于周期或频率的标准偏差(RMS)。
8. 此特性适用于以下任意时间：FLL 参考源或参考分频因子改变时；调整值改变时；DMX32 位改变时；DRS 位改变时；或从“禁用 FLL”(BLPE, BLPI) 变为“使能 FLL”(FEI, FEE, FBE, FBI) 时。使用晶体/谐振器作为参考时钟源时，此特性假定其已运行。
9. 不包括在 PLL 运行期间产生功耗的任何振荡器电流。
10. 使用 Freescale 开发的 PCB 得出此特性。PLL 抖动取决于各 PCB 的噪声特性，且结果会有所不同。
11. 此特性适用于以下任意时间：PLL VCO 分频因子或参考分频因子改变时；或从“禁用 PLL”(BLPE, BLPI) 变为“使能 PLL”(PBE, PEE) 时。使用晶体/谐振器作为参考时钟源时，此特性假定其已运行。

3.3.2 振荡器电气规格

3.3.2.1 直流振荡器电气特性

表 19. 直流振荡器电气特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	电源电压	1.71	—	3.6	V	
I_{DDOSC}	电源电流 - 低功耗模式(HGO=0)					1
	<ul style="list-style-type: none"> 32 kHz 4 MHz 	—	500	—	nA	
		—	200	—	μA	

下一页继续介绍此表...

表 19. 直流振荡器电气特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> • 8 MHz (RANGE=01) • 16 MHz • 24 MHz • 32 MHz 	—	300	—	μA	
		—	950	—	μA	
		—	1.2	—	mA	
		—	1.5	—	mA	
I_{DDOSC}	电源电流 - 高增益模式(HGO=1) <ul style="list-style-type: none"> • 32 kHz • 4 MHz • 8 MHz (RANGE=01) • 16 MHz • 24 MHz • 32 MHz 	—	25	—	μA	1
		—	400	—	μA	
		—	500	—	μA	
		—	2.5	—	mA	
		—	3	—	mA	
		—	4	—	mA	
C_x	EXTAL 管脚负载电容	—	—	—		2, 3
C_y	XTAL 管脚负载电容	—	—	—		2, 3
R_F	反馈电阻 — 低频、低功耗模式(HGO=0)	—	—	—	MΩ	2, 4
	反馈电阻 — 低频、高增益模式(HGO=1)	—	10	—	MΩ	
	反馈电阻 — 高频、低功耗模式(HGO=0)	—	—	—	MΩ	
	反馈电阻 — 高频、高增益模式(HGO=1)	—	1	—	MΩ	
R_S	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 低频、高增益模式(HGO=1)	—	200	—	kΩ	
	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 高频、高增益模式(HGO=1)	—	0	—	kΩ	
V_{pp}^5	峰间振幅 (振荡器模式) - 低频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 低频、高增益模式 (HGO=1)	—	V_{DD}	—	V	
	峰间振幅 (振荡器模式) - 高频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 高频、高增益模式 (HGO=1)	—	V_{DD}	—	V	

1. $V_{DD}=3.3\text{ V}$, 温度 =25° C
2. 参见晶振或谐振器制造商的建议
3. 使用低频率振荡器(RANGE = 00)时, 可使用集成电容器来提供 C_x 、 C_y 。其他所有情况下务必使用外部电容。
4. 选择低功耗模式时, R_F 仅使用内部集成电阻, 而不能使用外部电阻。
5. EXTAL 和 XTAL 引脚只应连接到所需的振荡器组件, 而不得连接到其他任何器件。

3.3.2.2 振荡器频率特性

表 20. 振荡器频率特性

符号	说明	最小值	典型值	最大值	单位	注释
f_{osc_lo}	振荡器晶振频率或谐振器频率 - 低频模式 (MCG_C2[RANGE]=00)	32	—	40	kHz	
$f_{osc_hi_1}$	振荡器晶振频率或谐振器频率 - 高频模式 (低范围) (MCG_C2[RANGE]=01)	3	—	8	MHz	
$f_{osc_hi_2}$	振荡器晶振频率或谐振器频率 - 高频模式 (高范围) (MCG_C2[RANGE]=1x)	8	—	32	MHz	
f_{ec_extal}	输入时钟频率 (外部时钟模式)	—	—	48	MHz	1, 2
t_{dc_extal}	输入时钟占空比 (外部时钟模式)	40	50	60	%	
t_{cst}	晶振启动时间 - 32 kHz 低频、低功耗模式 (HGO=0)	—	750	—	ms	3, 4
	晶振启动时间 - 32 kHz 低频、高增益模式 (HGO=1)	—	250	—	ms	
	晶振启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、低功耗模式 (HGO=0)	—	0.6	—	ms	
	晶振启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、高增益模式 (HGO=1)	—	1	—	ms	

1. 以外部时钟作为 FLL 或 PLL 的参考时钟时，其他频率限制可能适用。
2. 从 FEI 或 FBI 模式转换到 FBE 模式时，应限制输入时钟频率，以便 FRDIV 对其分频时可依然保持在 DCO 输入时钟频率的限值内。
3. 为了达到规格要求，务必遵循正确的 PC 板布局流程。
4. 晶体启动时间定义为从振荡器启动到 MCG_S 寄存器中的 OSCINIT 位置位之间的时间长度。

3.4 存储器和存储器接口

3.4.1 Flash 电气规格

本节介绍 Flash 存储器模块的电气特性。

3.4.1.1 Flash 时序规格 — 编程和擦除

下列规格表示内部充电泵处于有效状态的时间，不包括命令执行时间。

表 21. NVM 编程/擦除时序规格

符号	说明	最小值	典型值	最大值	单位	附注
t_{hvpgm4}	长字编程高电压时间	—	7.5	18	μ s	—
$t_{hversscr}$	扇区擦除高电压时间	—	13	113	ms	1
$t_{hversall}$	全部擦除高电压时间	—	52	452	ms	1

1. 最大时间，基于循环周期终止时的期望值。

3.4.1.2 Flash 时序规格 - 命令

表 22. flash 命令时序规格

符号	说明	最小值	典型值	最大值	单位	附注
$t_{rd1sec1k}$	“读 1s 区”执行时间 (Flash 扇区)	—	—	60	μs	1
t_{pgmchk}	“程序校验”执行时间	—	—	45	μs	1
t_{rdsrc}	“读资源”执行时间	—	—	30	μs	1
t_{pgm4}	“程序长字”执行时间	—	65	145	μs	—
t_{ersscr}	“擦除 Flash 扇区”执行时间	—	14	114	ms	2
t_{rd1all}	“读 1s 所有块”执行时间	—	—	1.8	ms	—
t_{rdonce}	“读一次”执行时间	—	—	25	μs	1
$t_{pgmonce}$	“程序运行一次”执行时间	—	65	—	μs	—
t_{ersall}	“擦除所有块”执行时间	—	88	650	ms	2
t_{vfykey}	“验证后门访问密钥”执行时间	—	—	30	μs	1

1. 假定 Flash 时钟频率为 25 MHz。
2. 擦除参数的最大时间，基于循环周期终止时的期望值。

3.4.1.3 Flash 高压电流特性

表 23. Flash 高压电流特性

符号	说明	最小值	典型值	最大值	单位
I_{DD_PGM}	高压 Flash 编程操作过程中的平均增加电流	—	2.5	6.0	mA
I_{DD_ERS}	高压 Flash 擦除操作过程中的平均增加电流	—	1.5	4.0	mA

3.4.1.4 可靠性规格

表 24. NVM 可靠性规格

符号	说明	最小值	典型值 ¹	最大值	单位	注释
程序 Flash						
$t_{nvmretp10k}$	高达 10000 个周期后的数据保留时间	5	50	—	年	—
$t_{nvmretp1k}$	高达 1000 个周期后的数据保留时间	20	100	—	年	—
$n_{nvmcycp}$	周期寿命	10 K	50 K	—	周期	2

1. 典型数据保留值基于加速高温和 25 °C 恒温用例情况下所测得的响应。此项技术不适用工程通告 EB618。工程通告 EB619 中定义的典型耐受能力。
2. 擦写耐受能力表示 -40 °C ≤ T_j ≤ 125 °C 温度范围内的编程/擦除次数。

3.5 安全性和完整性模块

对于器件的安全性和完整性模块，无特性要求。

3.6 模拟

3.6.1 ADC 电气规格

在表 25 和表 26 中列出的 16 位精度规格可以在差分引脚 ADCx_DP0、ADCx_DM0 上实现。

其他所有 ADC 通道满足 13 位差分/12 位单端精度规格。

3.6.1.1 16 位 ADC 操作条件

表 25. 16 位 ADC 操作条件

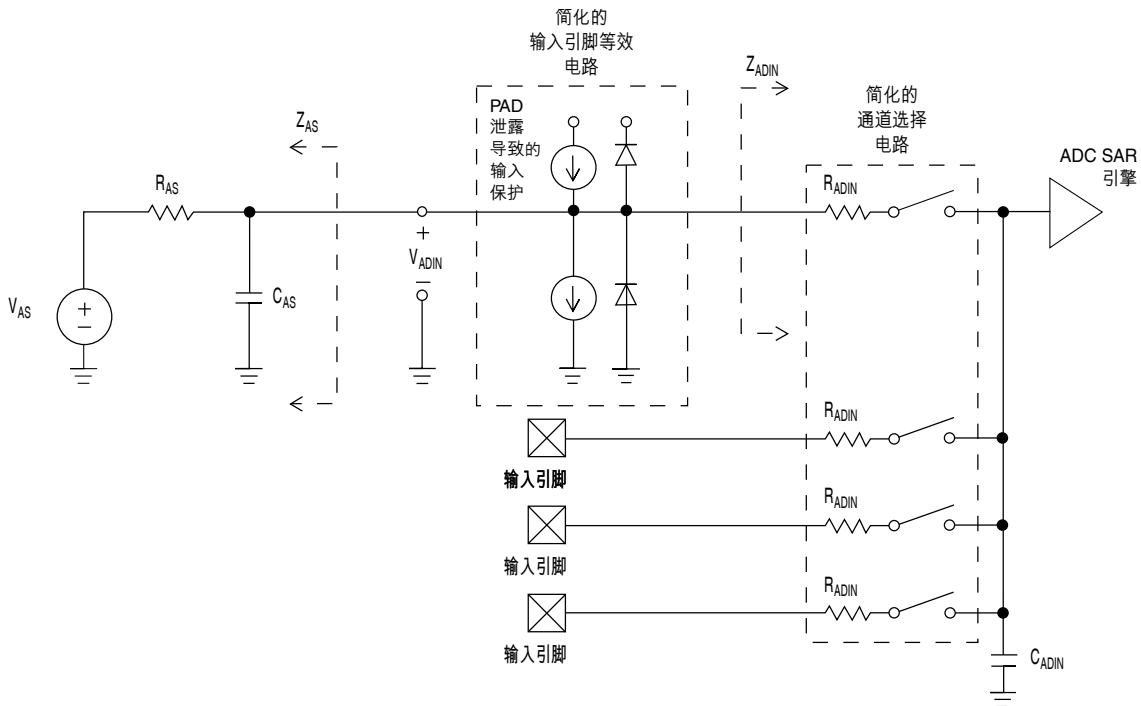
符号	描述	条件	最小值	典型值 ¹	最大值	单位	附注
V _{DDA}	供电电压	绝对值	1.71	—	3.6	V	—
ΔV _{DDA}	供电电压	V _{DD} 的差值(V _{DD} - V _{DDA})	-100	0	+100	mV	2
ΔV _{SSA}	接地电压	V _{SS} 的差值(V _{SS} -V _{SSA})	-100	0	+100	mV	2
V _{REFH}	ADC 高参考电压		1.13	V _{DDA}	V _{DDA}	V	3
V _{REFL}	ADC 低参考电压		V _{SSA}	V _{SSA}	V _{SSA}	V	3
V _{ADIN}	输入电压	<ul style="list-style-type: none"> 16 位差分模式 其他所有模式 	VREFL	—	31/32 * VREFH	V	—
C _{ADIN}	输入电容	<ul style="list-style-type: none"> 16 位模式 8 位/10 位/12 位模式 	—	8	10	pF	—
R _{ADIN}	输入串联电阻		—	2	5	kΩ	—
R _{AS}	模拟源电阻（外部）	13 位/12 位模式 f _{ADCK} < 4 MHz	—	—	5	kΩ	4
f _{ADCK}	ADC 转换时钟频率	≤ 13 位模式	1.0	—	18.0	MHz	5
f _{ADCK}	ADC 转换时钟频率	16 位模式	2.0	—	12.0	MHz	5
C _{rate}	ADC 转换速率	≤ 13 位模式 无 ADC 硬件平均值 连续转换功能使能，后续转换时间	20.000	—	818.330	Ksps	6

下一页继续介绍此表...

表 25. 16 位 ADC 操作条件 (继续)

符号	描述	条件	最小值	典型值 ¹	最大值	单位	附注
C_{rate}	ADC 转换速率	16 位模式 无 ADC 硬件平均值 连续转换功能使能, 后续转换时间	37.037	—	461.467	Ksps	6

1. 除非另有说明, 否则典型值假定 $V_{DDA} = 3.0\text{ V}$, $Temp = 25^{\circ}\text{C}$, $f_{ADCK} = 1.0\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。
2. 直流电位差。
3. 在没有专用 V_{REFH} 和 V_{REFL} 引脚的封装中, V_{REFH} 内部连接到 V_{DDA} 上, 而 V_{REFL} 内部连接到 V_{SSA} 上。
4. 此电阻是 MCU 的外部电阻。为达到最佳效果, 模拟源电阻必须尽量小一些。此数据手册中的结果来自于模拟源电阻 $< 8\ \Omega$ 的系统。 R_{AS}/C_{AS} 时间常数应当始终 $< 1\text{ ns}$ 。
5. 要使用最大 ADC 转换时钟频率, 必须使 $CFG2[ADHSC]$ 置位, 并使 $CFG1[ADLPC]$ 清零。
6. 有关计算转换速率的相应准则和示例, 请下载 [ADC 计算器工具](#)。


图 6. ADC 输入阻抗等效图

3.6.1.2 16 位 ADC 电气特性

表 26. 16 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

符号	描述	条件 ¹	最小值	典型值 ²	最大值	单位	附注
I_{DDA_ADC}	电源电流		0.215	—	1.7	mA	3

下一页继续介绍此表...

表 26. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

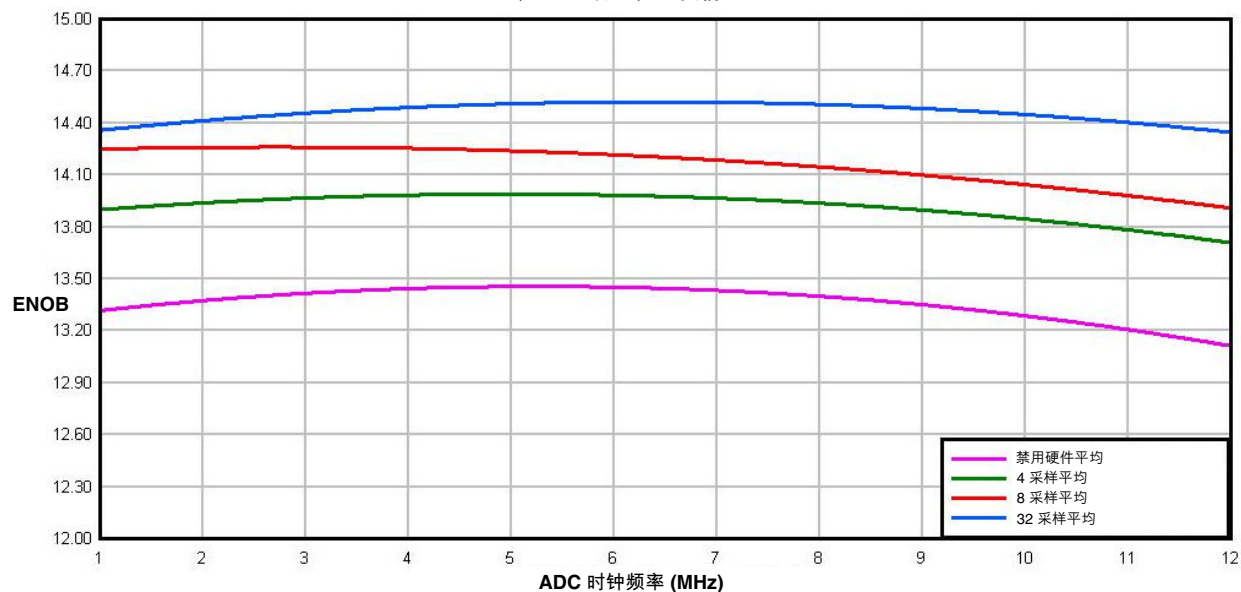
符号	描述	条件 ¹	最小值	典型值 ²	最大值	单位	附注
f_{ADACK}	ADC 异步时钟源	• ADLPC = 1, ADHSC = 0	1.2	2.4	3.9	MHz	$t_{ADACK} = 1/f_{ADACK}$
		• ADLPC = 1, ADHSC = 1	2.4	4.0	6.1	MHz	
		• ADLPC = 0, ADHSC = 0	3.0	5.2	7.3	MHz	
		• ADLPC = 0, ADHSC = 1	4.4	6.2	9.5	MHz	
	采样时间	参见“参考手册”一章确定采样时间					
TUE	未调整总误差	• 12 位模式 • <12 位模式	— —	± 4 ± 1.4	± 6.8 ± 2.1	LSB ⁴	5
DNL	非线性差分	• 12 位模式 • <12 位模式	— —	± 0.7 ± 0.2	-1.1 到 +1.9 -0.3 到 +0.5	LSB ⁴	5
INL	非线性积分	• 12 位模式 • <12 位模式	— —	± 1.0 ± 0.5	-2.7 到 +1.9 -0.7 到 +0.5	LSB ⁴	5
E_{FS}	满标度误差	• 12 位模式 • <12 位模式	— —	-4 -1.4	-5.4 -1.8	LSB ⁴	$V_{ADIN} = V_{DDA}$ ⁵
E_Q	量化误差	• 16 位模式 • ≤ 13 位模式	— —	-1 到 0 —	— ± 0.5	LSB ⁴	
ENOB	有效位数	16 位差分模式	12.8	14.5	—	位	6
		• Avg = 32	11.9	13.8	—	位	
		• Avg = 4	12.2	13.9	—	位	
		16 位单端模式	11.4	13.1	—	位	
		• Avg = 32					
		• Avg = 4					
SINAD	信噪失真比	参见 ENOB	$6.02 \times \text{ENOB} + 1.76$			dB	
THD	总谐波失真	16 位差分模式	—	-94	—	dB	7
		• Avg = 32	—	-85	—	dB	
SFDR	无杂散动态范围	16 位单端模式					7
		• Avg = 32	82	95	—	dB	
			78	90	—	dB	

下一页继续介绍此表...

表 26. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

符号	描述	条件 ¹	最小值	典型值 ²	最大值	单位	附注
		16 位单端模式 • Avg = 32					
E_{IL}	输入漏电误差		$I_{in} \times R_{AS}$			mV	I_{in} = 漏电流 (参见 MCU 电压和电流操作极限)
	温度传感器斜率	横跨设备整个温度范围	1.55	1.62	1.69	mV/°C	8
V_{TEMP25}	温度传感器电压	25 °C	706	716	726	mV	8

1. 所有精度数字均假定 ADC 已在 $V_{REFH} = V_{DDA}$ 的情况下进行校准
2. 除非另有说明, 否则典型值假定 $V_{DDA} = 3.0\text{ V}$ 、 $\text{Temp} = 25^\circ\text{C}$ 、 $f_{ADCK} = 2.0\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。
3. ADC 电源电流取决于 ADC 转换时钟速度、转换速率以及 ADC_CFG1[ADLPC] (低功耗)。要使操作功耗最低, ADC_CFG1[ADLPC]必须置位, ADC_CFG2[ADHSC]位必须清零, 且 ADC 转换时钟速度为 1 MHz。
4. $1\text{ LSB} = (V_{REFH} - V_{REFL})/2^N$
5. ADC 转换时钟 < 16 MHz, 最大硬件平均值(AVGE = %1, AVGS = %11)
6. 输入数据为 100 Hz 的正弦波。ADC 转换时钟 < 12 MHz。
7. 输入数据为 1 kHz 的正弦波。ADC 转换时钟 < 12 MHz。
8. ADC 转换时钟 < 3 MHz

典型 ADC 16 位差分 ENOB 与 ADC 时钟对比
 100 Hz, 90% 满量程正弦输入

图 7. 典型 ENOB 与 ADC_CLK, 16 位差分模式

典型 ADC 16 位单边 ENOB 与 ADC 时钟对比
100 Hz, 90% 满量程正弦输入

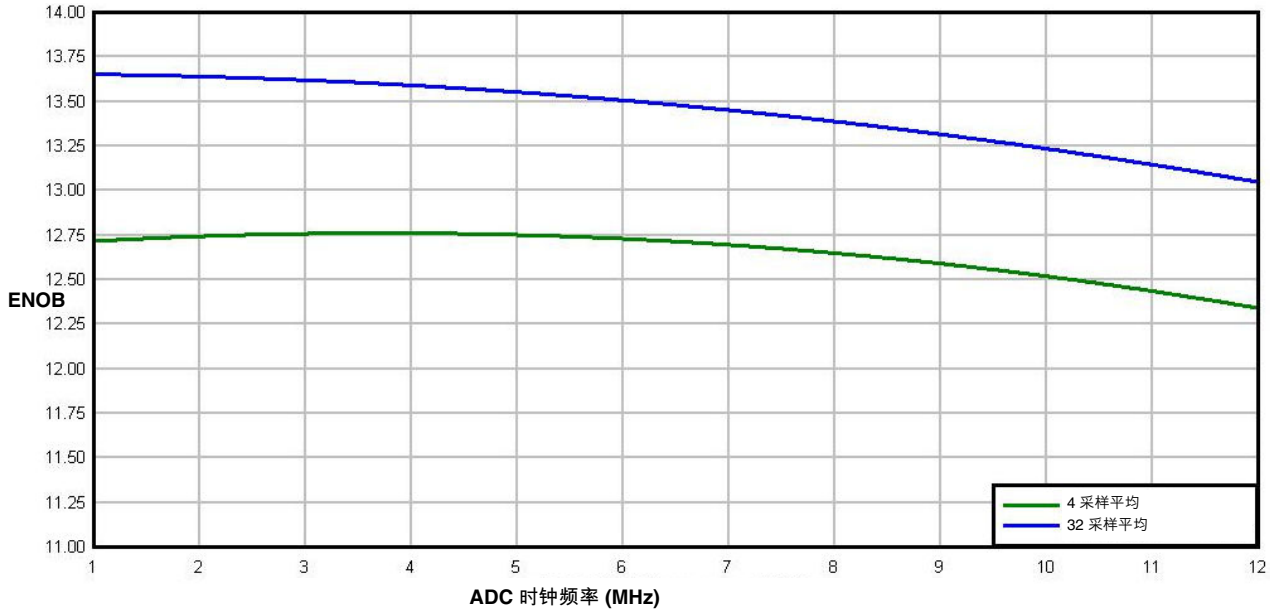


图 8. 典型 ENOB 与 ADC_CLK, 16 位单端模式

3.6.2 CMP 和 6 位 DAC 的电气规格

表 27. 比较器和 6 位 DAC 的电气规格

符号	说明	最小值	典型值	最大值	单位
V_{DD}	电源电压	1.71	—	3.6	V
I_{DDHS}	电源电流, 高速模式 (EN=1, PMODE=1)	—	—	200	μA
I_{DDL5}	电源电流, 低速模式 (EN=1, PMODE=0)	—	—	20	μA
V_{AIN}	模拟输入电压	$V_{SS} - 0.3$	—	V_{DD}	V
V_{AIO}	模拟输入偏移电压	—	—	20	mV
V_H	模拟比较器迟滞 ¹				
	• CR0[HYSTCTR] = 00	—	5	—	mV
	• CR0[HYSTCTR] = 01	—	10	—	mV
	• CR0[HYSTCTR] = 10	—	20	—	mV
	• CR0[HYSTCTR] = 11	—	30	—	mV
V_{CMPOh}	输出高电平	$V_{DD} - 0.5$	—	—	V
V_{CMPOl}	输出低电平	—	—	0.5	V
t_{DHS}	传播延迟, 高速模式 (EN=1, PMODE=1)	20	50	200	ns
t_{DLS}	传播延迟, 低速模式 (EN=1, PMODE=0)	80	250	600	ns

下一页继续介绍此表...

表 27. 比较器和 6 位 DAC 的电气规格 (继续)

符号	说明	最小值	典型值	最大值	单位
	模拟比较器初始化延迟 ²	—	—	40	μs
I_{DAC6b}	6 位 DAC 增加电流 (使能)	—	7	—	μA
INL	6 位 DAC 非线性积分	-0.5	—	0.5	LSB ³
DNL	6 位 DAC 非线性差分	-0.3	—	0.3	LSB

1. 在输入电压范围限定为 0.6 至 $V_{DD}-0.6$ V 的条件下测定典型迟滞。
2. 比较器初始化延迟定义为从软件执行写操作来改变控制输入 (写入 CMP_DACCR[DACEN]、CMP_DACCR[VRSEL]、CMP_DACCR[VOSEL]、CMP_MUXCR[PSEL]和 CMP_MUXCR[MSEL]) 到比较器输出达到稳定电平的时间。
3. $1 \text{ LSB} = V_{\text{reference}}/64$

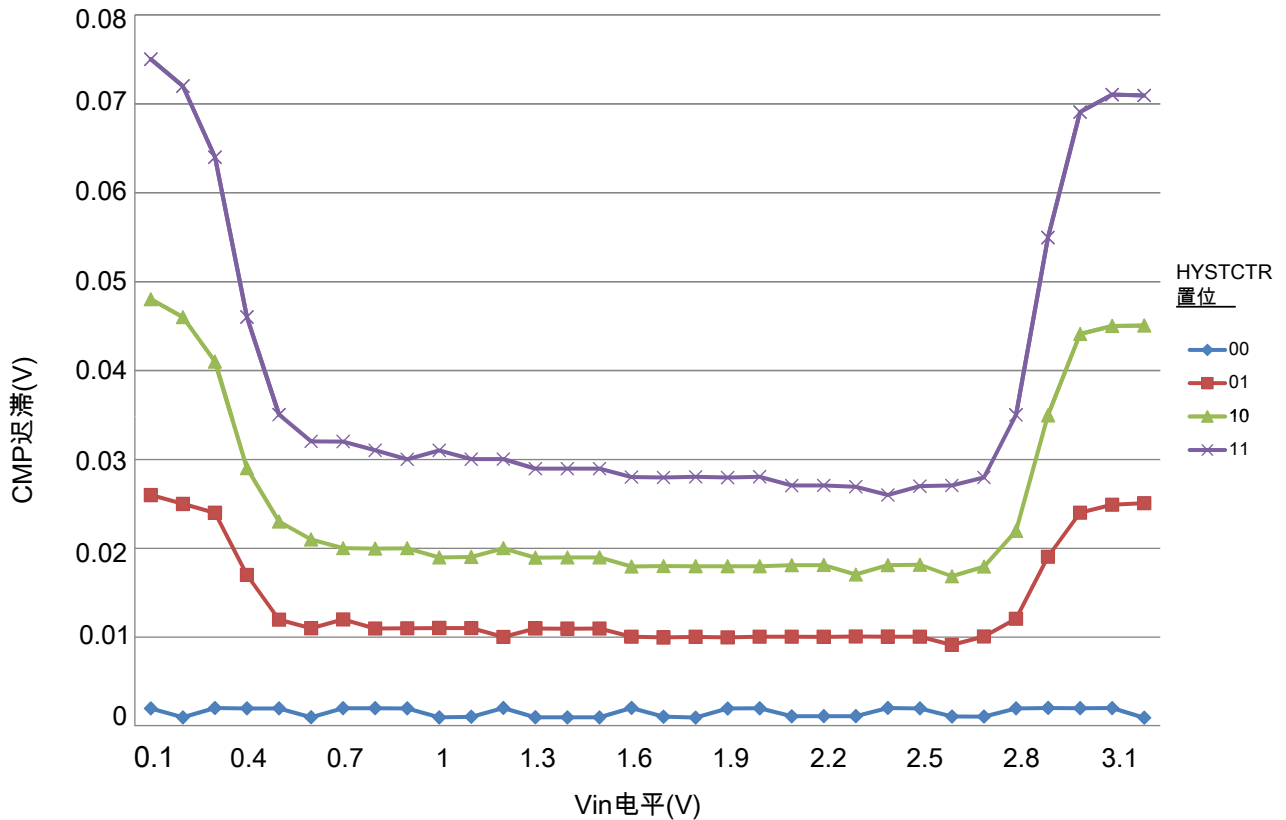


图 9. 典型迟滞与 Vin 电平(VDD = 3.3 V, PMODE = 0)

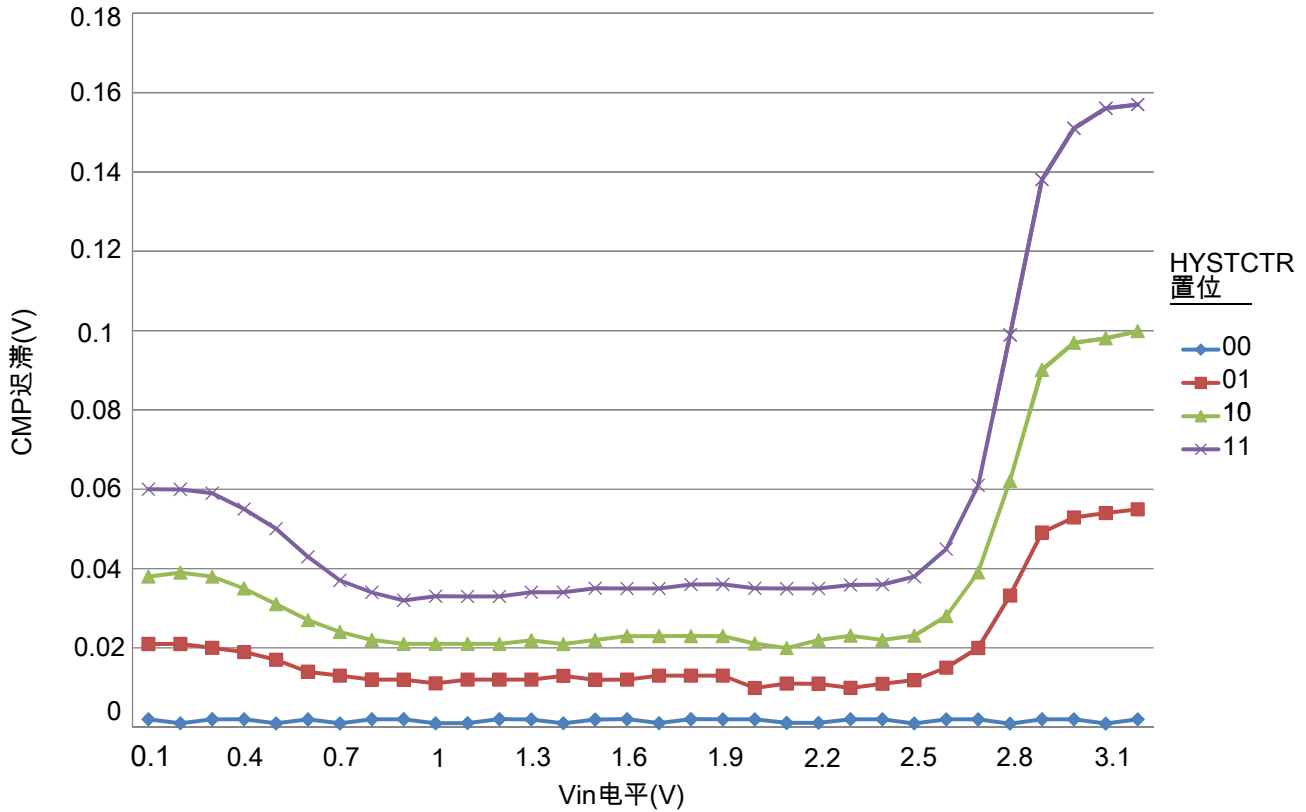


图 10. 典型迟滞与 Vin 电平(VDD = 3.3 V, PMODE = 1)

3.6.3 12 位 DAC 电气特性

3.6.3.1 12 位 DAC 操作要求

表 28. 12 位 DAC 操作要求

符号	描述	最小值	最大值	单位	附注
V_{DDA}	电源电压	1.71	3.6	V	
V_{DACR}	参考电压	1.13	3.6	V	1
C_L	输出负载电容	—	100	pF	2
I_L	输出负载电流	—	1	mA	

1. DAC 基准电压可选用 V_{DDA} 或 V_{REFH} 。
2. 小负载电容(47 pF)有助于改善 DAC 的带宽性能

3.6.3.2 12 位 DAC 特性

表 29. 12 位 DAC 特性

符号	说明	最小值	典型值	最大值	单位	注释
I_{DDA_DACLP}	电源电流 - 低功耗模式	—	—	250	μA	
I_{DDA_DACHP}	电源电流 - 高速模式	—	—	900	μA	
t_{DACLP}	满刻度建立时间 (0x080 到 0xF7F) - 低功耗模式	—	100	200	μs	1
t_{DACHP}	满刻度建立时间 (0x080 到 0xF7F) - 高功耗模式	—	15	30	μs	1
$t_{CCDACLP}$	代码-代码建立时间 (0xBF8 到 0xC08) - 低功耗模式和高速模式	—	0.7	1	μs	1
$V_{dacoutl}$	DAC 输出电压范围低电平 - 高速模式, 无负载, DAC 设为 0x000	—	—	100	mV	
$V_{dacouth}$	DAC 输出电压范围高电平 - 高速模式, 无负载, DAC 设为 0xFFF	$V_{DACR} - 100$	—	V_{DACR}	mV	
INL	非线性积分误差 - 高速模式	—	—	± 8	LSB	2
DNL	非线性差分误差 - $V_{DACR} > 2\text{ V}$	—	—	± 1	LSB	3
DNL	非线性差分误差 - $V_{DACR} = V_{REF_OUT}$	—	—	± 1	LSB	4
V_{OFFSET}	偏移误差	—	± 0.4	± 0.8	%FSR	5
E_G	增益误差	—	± 0.1	± 0.6	%FSR	5
PSRR	电源纹波抑制比, $V_{DDA} \geq 2.4\text{ V}$	60	—	90	dB	
T_{CO}	温度系数偏移电压	—	3.7	—	$\mu\text{V}/\text{C}$	6
T_{GE}	温度系数增益误差	—	0.000421	—	%FSR/C	
R_{op}	输出电阻 (负载 = 3 k Ω)	—	—	250	Ω	
SR	压摆率 -80h → F7Fh → 80h <ul style="list-style-type: none"> • 高功率(SP_{HP}) • 低功率(SP_{LP}) 	1.2 0.05	1.7 0.12	— —	V/ μs	
BW	3dB 带宽 <ul style="list-style-type: none"> • 高功率(SP_{HP}) • 低功率(SP_{LP}) 	550 40	— —	— —	kHz	

1. ± 1 LSB 建立时间
2. INL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ 范围内测得
3. DNL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ 范围内测得
4. DNL 在 0 + 100 mV 至 $V_{DACR} - 100\text{ mV}$ ($V_{DDA} > 2.4\text{ V}$)范围内测得
5. 在 $V_{SS} + 100\text{ mV}$ 至 $V_{DACR} - 100\text{ mV}$ 范围内, 利用最佳拟合曲线计算
6. $V_{DDA} = 3.0\text{ V}$, 为 V_{DDA} 选择基准(DACx_CO:DACRFS = 1), 高功耗模式(DACx_CO:LPEN = 0), DAC 设为 0x800, 温度范围为器件的整个范围

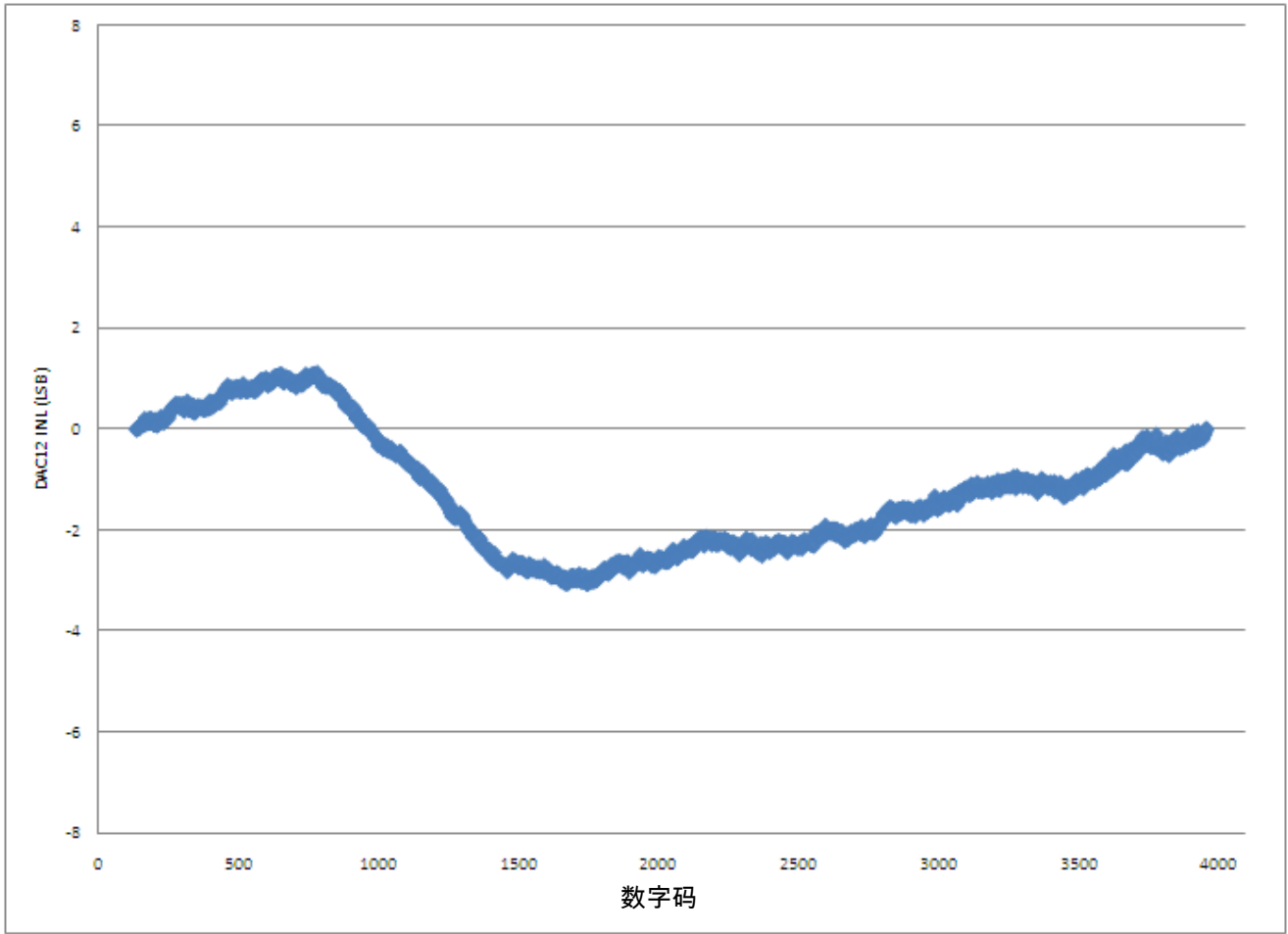


图 11. 典型 INL 误差与数字码

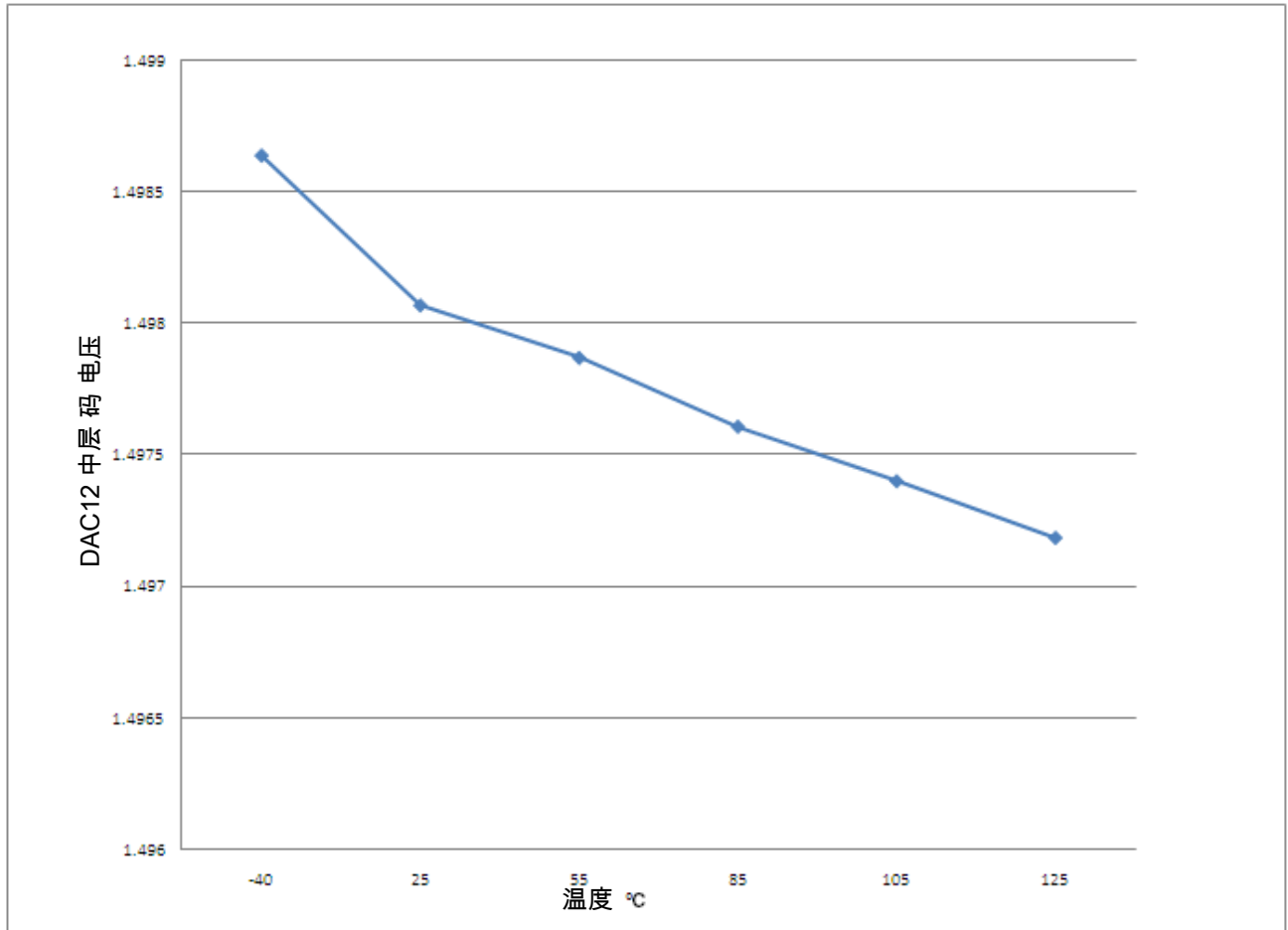


图 12. 半量程失调与温度

3.7 定时器

参见一般开关规格。

3.8 通信接口

3.8.1 USB 电气特性

USB On-the-Go 模块的 USB 电气特性符合通用串行总线设计论坛上发布的标准。有关最新标准请访问 usb.org。

注

MCGPLLCLK 符合设备和主机模式下用作外部时钟/晶体的 USB 抖动认证规格。

MCGFLLCLK 不符合认证所需的 USB 抖动特性。

3.8.2 USB VREG 电气规格

表 30. USB VREG 电气规格

符号	说明	最小值	典型值 ¹	最大值	单位	附注
VREGIN	输入电源电压	2.7	—	5.5	V	
I _{DDon}	静态电流 - 运行模式, 负载电流等于 0, 输入电源电压(VREGIN) > 3.6 V	—	125	186	μA	
I _{DDstby}	静态电流 - 待机模式, 负载电流等于 0	—	1.1	10	μA	
I _{DDoff}	静态电流 — 关断模式 <ul style="list-style-type: none"> VREGIN = 5.0 V 且温度=25 °C 在操作电压和温度范围内 	—	650	—	nA	
		—	—	4	μA	
I _{LOADrun}	最大负载电流 - 运行模式	—	—	120	mA	
I _{LOADstby}	最大负载电流 - 待机模式	—	—	1	mA	
V _{Reg33out}	调节器输出电压 - 输入电源电压(VREGIN) > 3.6 V <ul style="list-style-type: none"> 运行模式 待机模式 	3	3.3	3.6	V	
		2.1	2.8	3.6	V	
V _{Reg33out}	调节器输出电压 - 输入电源电压(VREGIN) < 3.6 V, 直通模式	2.1	—	3.6	V	2
C _{OUT}	外部输出电容器	1.76	2.2	8.16	μF	
ESR	外部输出电容器的等效串联电阻	1	—	100	mΩ	
I _{LIM}	短路电流	—	290	—	mA	

1. 除非另有说明, 否则典型值假定 VREGIN = 5.0 V、Temp = 25 °C。

2. 在直通模式下操作: 调节器输出电压等于输入电压减去电压降 (与 I_{Load} 成正比)。

3.8.3 SPI 电气及时序特性

串行外设接口(SPI)提供一种可实现主机和从机工作模式的同步串行总线。多数传输特性都是可编程的。下列表格提供了传统 SPI 时序模式的时序特性。如需了解与较慢的外设器件通信所用的可编程的传输属性, 请参见芯片参考手册中的 SPI 章节。

除非另有说明，显示的所有时序相关条件均为 20% V_{DD} 和 80% V_{DD} 阈值，同时所有 SPI 引脚上的输入信号转换均为 3 ns，最大负载均为 30 pF。

表 31. SPI 主机模式时序--管脚禁用压摆率

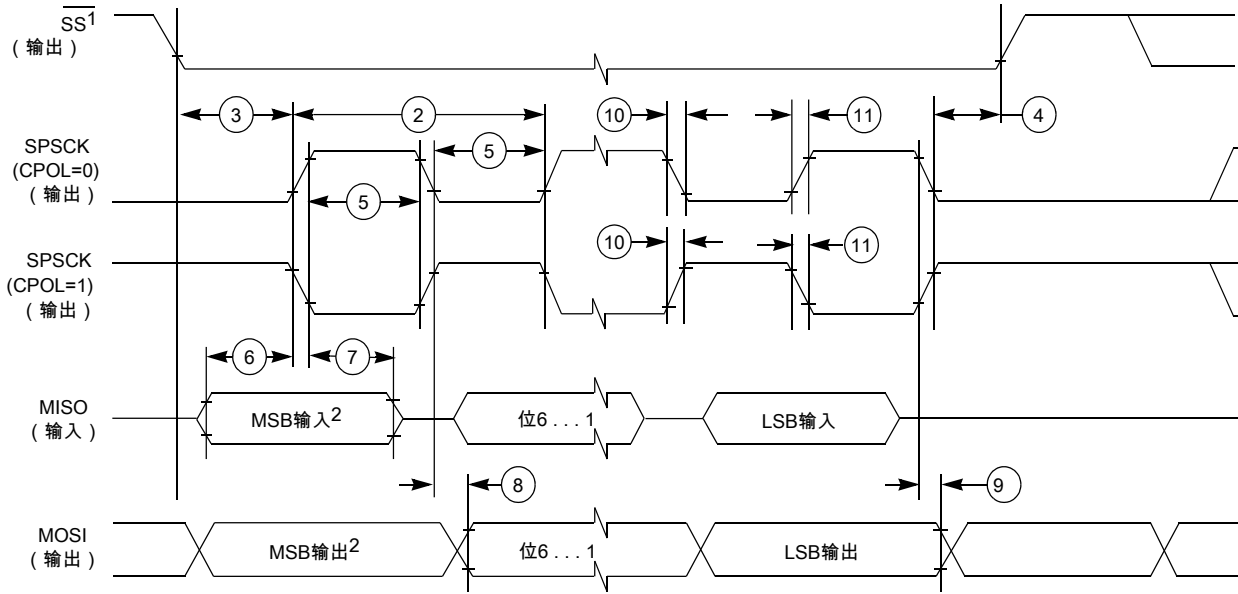
编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	工作频率	$f_{periph}/2048$	$f_{periph}/2$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	t_{Lead}	启用前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	启用滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	t_{SU}	数据建立时间 (输入)	18	—	ns	—
7	t_{HI}	数据保持时间 (输入)	0	—	ns	—
8	t_v	有效数据 (在 SPSCK 边沿后)	—	15	ns	—
9	t_{HO}	数据保持时间 (输出)	0	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

- 对于 SPI0， f_{periph} 为总线时钟(f_{BUS})。对于 SPI1， f_{periph} 用作系统时钟(f_{SYS})。
- $t_{periph} = 1/f_{periph}$

表 32. SPI 主机模式时序--管脚使能压摆率

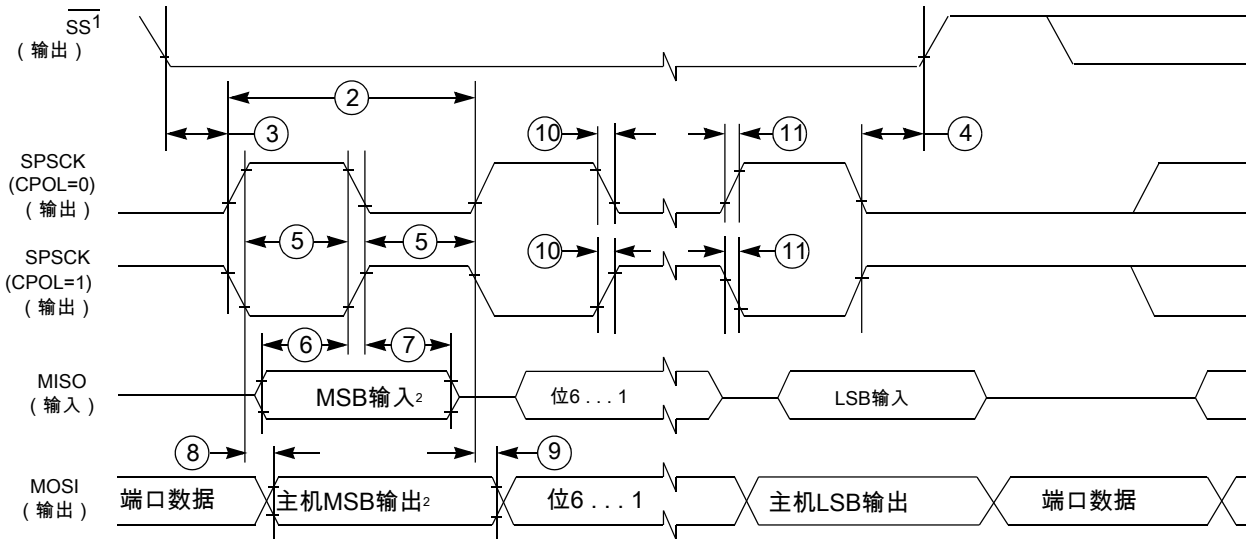
编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	工作频率	$f_{periph}/2048$	$f_{periph}/2$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	t_{Lead}	启用前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	启用滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	t_{SU}	数据建立时间 (输入)	96	—	ns	—
7	t_{HI}	数据保持时间 (输入)	0	—	ns	—
8	t_v	有效数据 (在 SPSCK 边沿后)	—	52	ns	—
9	t_{HO}	数据保持时间 (输出)	0	—	ns	—
10	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	36	ns	—
	t_{FO}	输出下降时间				

- 对于 SPI0， f_{periph} 为总线时钟(f_{BUS})。对于 SPI1， f_{periph} 用作系统时钟(f_{SYS})。
- $t_{periph} = 1/f_{periph}$



1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 13. SPI 主机模式时序(CPHA = 0)



1. 如果配置为输出
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

图 14. SPI 主机模式时序(CPHA = 1)

表 33. SPI 从机模式时序--管脚禁用压摆率

编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	操作频率	0	$f_{periph}/4$	[Hz]	1
2	t_{SPSCCK}	SPSCCK 周期	$4 \times t_{periph}$	—	ns	2
3	t_{Lead}	启用前置时间	1	—	t_{periph}	—

下一页继续介绍此表...

表 33. SPI 从机模式时序--管脚禁用压摆率 (继续)

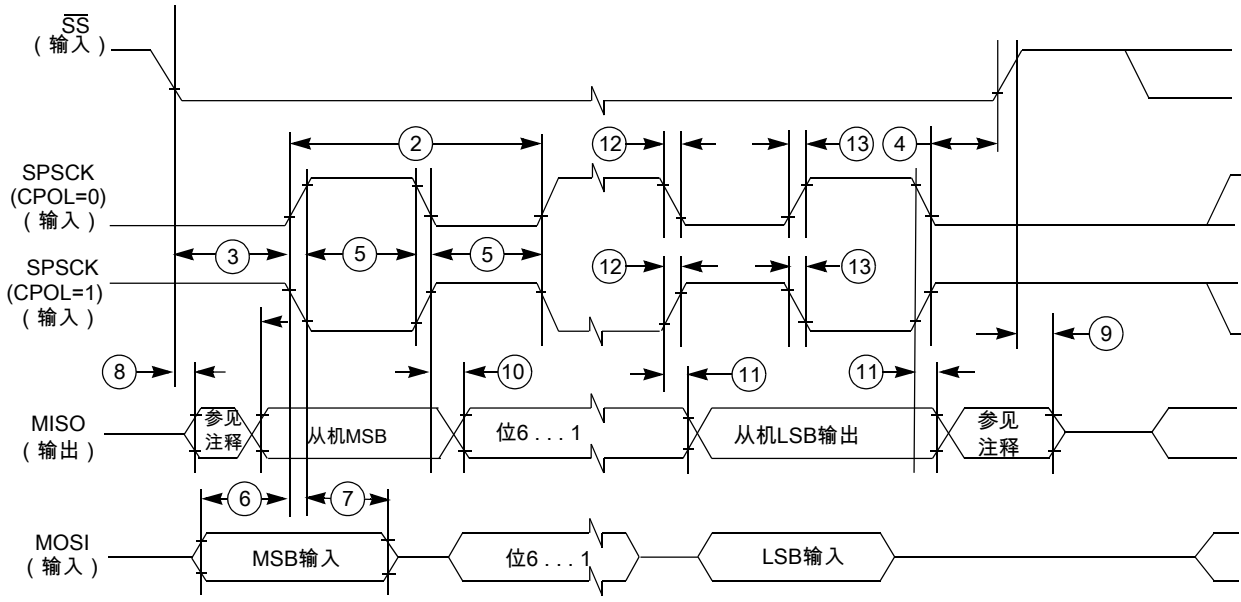
编号	符号	说明	最小值	最大值	单位	注释
4	t_{Lag}	启用滞后时间	1	—	t_{periph}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	2.5	—	ns	—
7	t_{HI}	数据保持时间 (输入)	3.5	—	ns	—
8	t_a	从机访问时间	—	t_{periph}	ns	3
9	t_{dis}	从机 MISO 禁用时间	—	t_{periph}	ns	4
10	t_v	有效数据 (在 SPSCK 边沿后)	—	31	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	25	ns	—
	t_{FO}	输出下降时间				

1. 对于 SPI0, f_{periph} 为总线时钟(f_{BUS})。对于 SPI1, f_{periph} 用作系统时钟(f_{SYS})。
2. $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间

表 34. SPI 从机模式时序--管脚使能压摆率

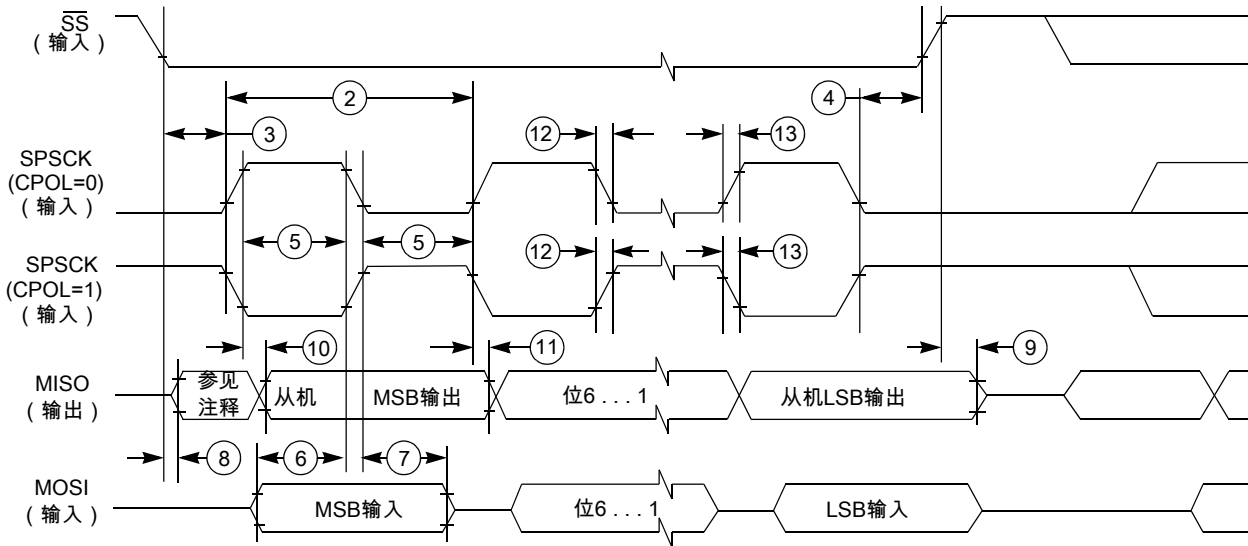
编号	符号	说明	最小值	最大值	单位	注释
1	f_{op}	操作频率	0	$f_{periph}/4$	[Hz]	1
2	t_{SPSCK}	SPSCK 周期	$4 \times t_{periph}$	—	ns	2
3	t_{Lead}	启用前置时间	1	—	t_{periph}	—
4	t_{Lag}	启用滞后时间	1	—	t_{periph}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	2	—	ns	—
7	t_{HI}	数据保持时间 (输入)	7	—	ns	—
8	t_a	从机访问时间	—	t_{periph}	ns	3
9	t_{dis}	从机 MISO 禁用时间	—	t_{periph}	ns	4
10	t_v	有效数据 (在 SPSCK 边沿后)	—	122	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	$t_{periph} - 25$	ns	—
	t_{FI}	输入下降时间				
13	t_{RO}	输出上升时间	—	36	ns	—
	t_{FO}	输出下降时间				

1. 对于 SPI0, f_{periph} 为总线时钟(f_{BUS})。对于 SPI1, f_{periph} 用作系统时钟(f_{SYS})。
2. $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间



注释：未定义

图 15. SPI 从机模式时序(CPHA = 0)



注释：未定义

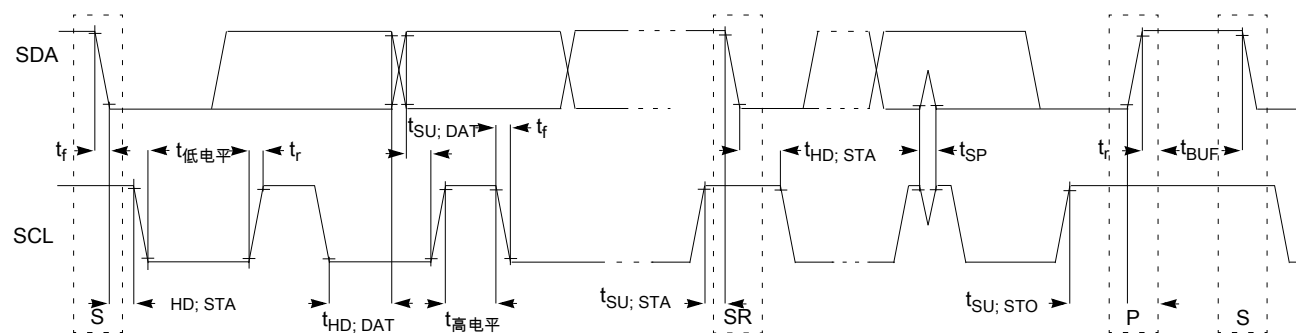
图 16. SPI 从机模式时序(CPHA = 1)

3.8.4 内部集成电路接口(I2C)时序

表 35. I2C 时序

特性	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f_{SCL}	0	100	0	400 ¹	kHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD; STA}$	4	—	0.6	—	μs
SCL 时钟的 LOW 周期	t_{LOW}	4.7	—	1.3	—	μs
SCL 时钟的 HIGH 周期	t_{HIGH}	4	—	0.6	—	μs
重复 START 条件的建立时间	$t_{SU; STA}$	4.7	—	0.6	—	μs
I ² C 总线器件的数据保持时间	$t_{HD; DAT}$	0 ²	3.45 ³	0 ⁴	0.9 ²	μs
数据建立时间	$t_{SU; DAT}$	250 ⁵	—	100 ^{3, 6}	—	ns
SDA 和 SCL 信号的上升时间	t_r	—	1000	$20 + 0.1C_b$ ⁷	300	ns
SDA 和 SCL 信号的下降时间	t_f	—	300	$20 + 0.1C_b$ ⁶	300	ns
STOP 条件的建立时间	$t_{SU; STO}$	4	—	0.6	—	μs
STOP 和 START 条件之间的总线空闲时间	t_{BUF}	4.7	—	1.3	—	μs
输入滤波器必须抑制的尖峰脉宽	t_{SP}	N/A	N/A	0	50	ns

1. 在采用最大总线负载的快速模式下, 仅当使用高电流驱动引脚(参见 [电压和电流特性](#))或使用正常驱动引脚且 $VDD \geq 2.7$ V 时, 才能获得最高 SCL 时钟频率
2. 主机模式 I²C 在 SCL 下降沿的同时使地址字节的 ACK 变为无效。如果没有从机应答此地址字节, 则产生负保持时间, 具体取决于 SDA 和 SCL 线的边沿速率。
3. 只有在器件不延长 SCL 信号的 LOW 周期(t_{LOW})时, 才必须满足最大 $t_{HD; DAT}$ 。
4. 输入信号压摆率 = 10 ns, 输出负载 = 50 pF
5. 如果 TX FIFO 为空, 则从机-发送器模式下的建立时间为 1 个 IPBus 时钟周期。
6. 可在标准模式 I²C 总线系统中使用快速模式 I²C 总线器件, 但此时必须满足 $t_{SU; DAT} \geq 250$ ns 的要求。器件不延长 SCL 信号的 LOW 周期时, 将自动适用该情形。如果此类器件确实延长了 SCL 信号的 LOW 周期, 则它必须在释放 SCL 线之前, 将下一个数据位输出至 SDA 线 $t_{rmax} + t_{SU; DAT} = 1000 + 250 = 1250$ ns (根据标准模式 I²C 总线规范)。
7. C_b = 一条总线线路的总电容, 单位为 pF。


 图 17. I²C 总线器件上快速和标准模式的时序定义

3.8.5 UART

参见[一般开关规格](#)。

3.8.6 I2S/SAI 开关特性

本节将描述 I2S/SAI 模块在主模式（时钟为内部驱动）和从模式（时钟信号为输入）中的交流时序。所有给出的时序均针对同相串行时钟极性（TCR2[BCP]为 0，RCR2[BCP]为 0）和同相帧同步（TCR4[FSP]为 0，RCR4[FSP]为 0）。如果时钟极性和/或帧同步置为反相，通过反转下图所示的位时钟信号（BCLK）和/或帧同步（FS）信号，可使所有时序仍然有效。

3.8.6.1 在全工作电压范围内正常运行、等待和停止模式的性能

本节中将描述该器件在全工作电压范围内进行正常运行、等待和停止模式的操作性能

表 36. I2S/SAI 主机模式时序

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	I2S_MCLK 周期时间	40	—	ns
S2	I2S_MCLK（用作输入）脉冲宽度高电平/低电平	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	80	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效	—	15.5	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效	0	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效	—	19	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效	0	—	ns
S9	I2S_RX_BCLK 之前 I2S_RXD/I2S_RX_FS 输入的建 立时间	26	—	ns
S10	I2S_RX_BCLK 之后 I2S_RXD/I2S_RX_FS 输入的保 持时间	0	—	ns

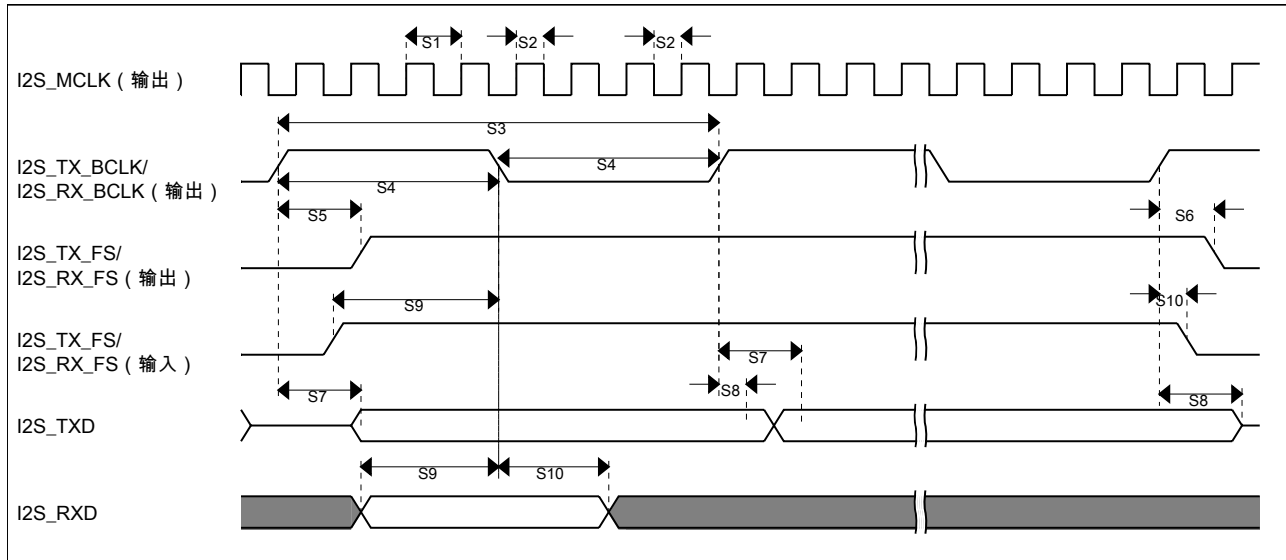


图 18. I2S/SAI 时序 — 主模式

表 37. I2S/SAI 从机模式时序

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间 (输入)	80	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽 (输入)	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前 I2S_TX_FS/ I2S_RX_FS 输入的建立时间	10	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后 I2S_TX_FS/ I2S_RX_FS 输入的保持时间	2	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效	—	33	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效	0	—	ns
S17	I2S_RX_BCLK 之前 I2S_RXD 的建立时间	10	—	ns
S18	I2S_RX_BCLK 之后 I2S_RXD 的保持时间	2	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效 ¹	—	28	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零

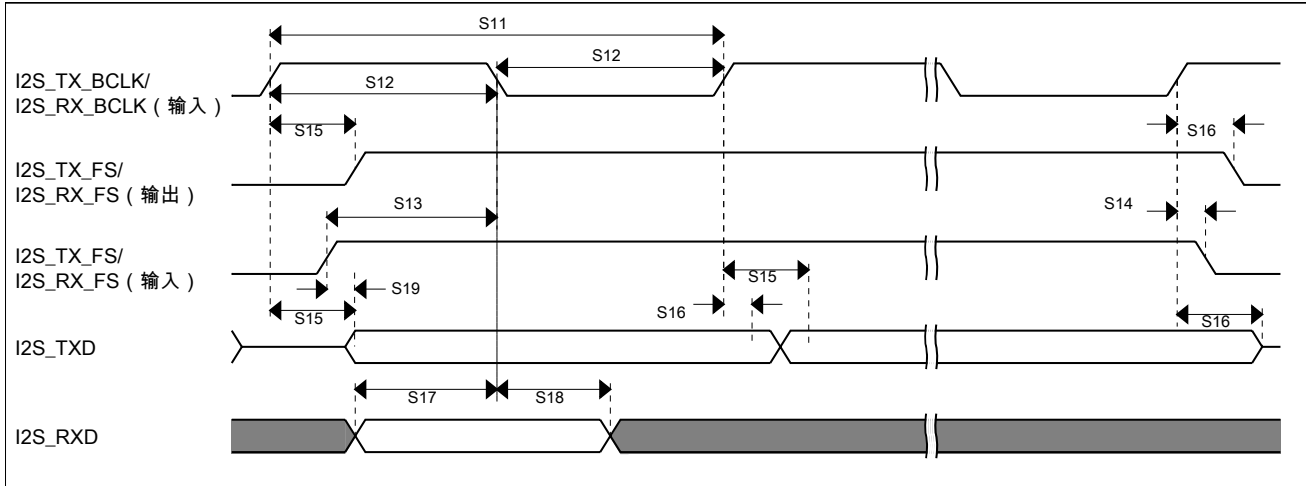


图 19. I2S/SAI 时序 — 从模式

3.8.6.2 在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的性能

本节中将描述该器件在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的操作性能

表 38. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 主模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	I2S_MCLK 周期时间	62.5	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	250	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效	—	45	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效		—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效	—	45	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效		—	ns
S9	I2S_RX_BCLK 之前 I2S_RXD/I2S_RX_FS 输入的建 立时间		—	ns
S10	I2S_RX_BCLK 之后 I2S_RXD/I2S_RX_FS 输入的保 持时间	0	—	ns

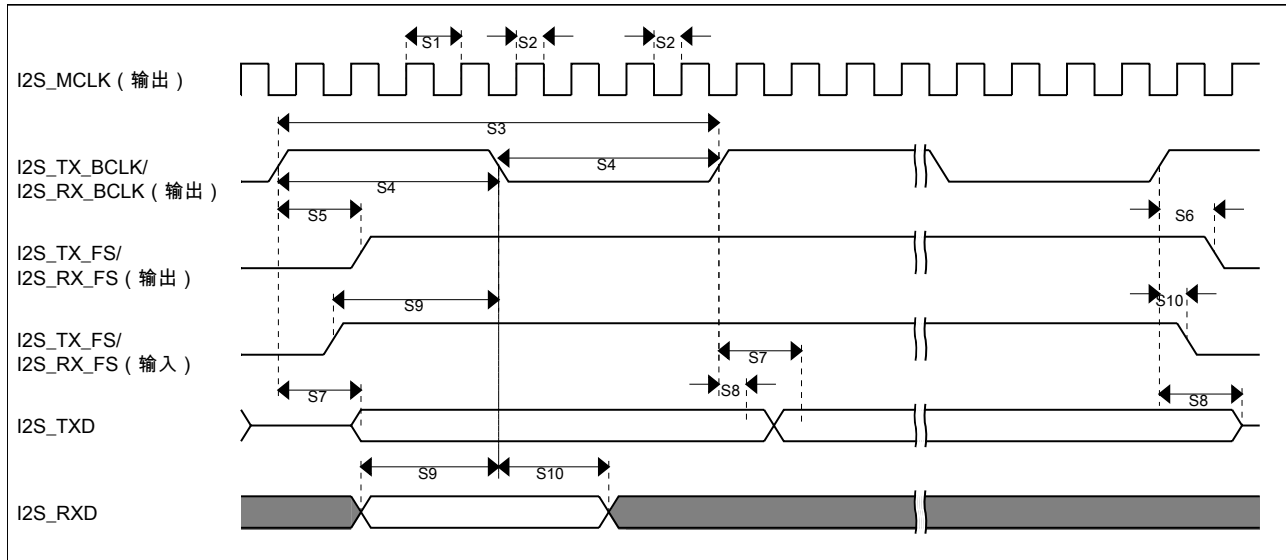


图 20. I2S/SAI 时序 — 主模式

表 39. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 从模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	250	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前 I2S_TX_FS/I2S_RX_FS 输入的建立时间	30	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后 I2S_TX_FS/I2S_RX_FS 输入的保持时间	—	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效	—	—	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效	0	—	ns
S17	I2S_RX_BCLK 之前 I2S_RXD 的建立时间	30	—	ns
S18	I2S_RX_BCLK 之后 I2S_RXD 的保持时间	—	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效 ¹	—	72	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零

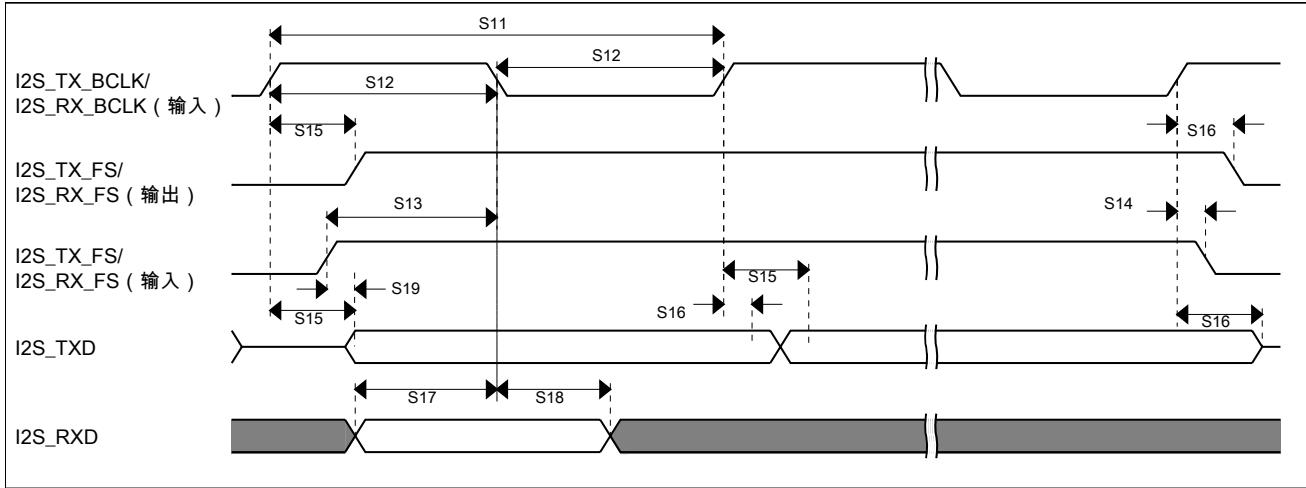


图 21. I2S/SAI 时序 — 从模式

3.9 人机界面(HMI)

3.9.1 TSI 电气规格

表 40. TSI 电气规格

符号	说明	最小值	典型值	最大值	单位
TSI_RUNF	运行模式下的固定功耗	—	100	—	μA
TSI_RUNV	运行模式下的可变功耗（取决于振荡器的电流选择）	1.0	—	128	μA
TSI_EN	使能模式下的功耗	—	100	—	μA
TSI_DIS	禁用模式下的功耗	—	1.2	—	μA
TSI_TEN	TSI 模拟使能时间	—	66	—	μs
TSI_CREF	TSI 参考电容	—	1.0	—	pF
TSI_DVOLT	VP 和 VM 围绕标称值产生的电压变化	0.19	—	1.03	V

4 尺寸

4.1 获取封装尺寸

封装图纸中提供了封装尺寸。

如要查找封装图纸，敬请前往 freescale.com，并按关键字搜索封装图纸的文档编号：

如果需要此封装的图纸	请使用此文档编号
32 引脚 QFN	98ASA00473D
48 引脚 QFN	98ASA00466D
64 引脚 LQFP	98ASS23234W

5 引脚分配

5.1 KL26 信号多路复用及引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档中所支持器件上的位置。“端口控制模块”负责选择每个引脚上的 ALT 功能。

64 LQFP	48 QFN	32 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
1	—	1	PTE0	禁用		PTE0	SPI1_MISO	UART1_TX	RTC_CLKOUT	CMP0_OUT	I2C1_SDA	
2	—	—	PTE1	禁用		PTE1	SPI1_MOSI	UART1_RX		SPI1_MISO	I2C1_SCL	
3	1	—	VDD	VDD	VDD							
4	2	2	VSS	VSS	VSS							
5	3	3	USB0_DP	USB0_DP	USB0_DP							
6	4	4	USB0_DM	USB0_DM	USB0_DM							
7	5	5	VOUT33	VOUT33	VOUT33							
8	6	6	VREGIN	VREGIN	VREGIN							
9	7	—	PTE20	ADC0_DP0/ ADC0_SE0	ADC0_DP0/ ADC0_SE0	PTE20		TPM1_CH0	UART0_TX			
10	8	—	PTE21	ADC0_DM0/ ADC0_SE4a	ADC0_DM0/ ADC0_SE4a	PTE21		TPM1_CH1	UART0_RX			
11	—	—	PTE22	ADC0_DP3/ ADC0_SE3	ADC0_DP3/ ADC0_SE3	PTE22		TPM2_CH0	UART2_TX			
12	—	—	PTE23	ADC0_DM3/ ADC0_SE7a	ADC0_DM3/ ADC0_SE7a	PTE23		TPM2_CH1	UART2_RX			
13	9	7	VDDA	VDDA	VDDA							
14	10	—	VREFH	VREFH	VREFH							
15	11	—	VREFL	VREFL	VREFL							
16	12	8	VSSA	VSSA	VSSA							
17	13	—	PTE29	CMP0_IN5/ ADC0_SE4b	CMP0_IN5/ ADC0_SE4b	PTE29		TPM0_CH2	TPM_CLKIN0			

64 LQFP	48 QFN	32 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
18	14	9	PTE30	DAC0_OUT/ ADC0_SE23/ CMP0_IN4	DAC0_OUT/ ADC0_SE23/ CMP0_IN4	PTE30		TPM0_CH3	TPM_CLKIN1			
19	—	—	PTE31	禁用		PTE31		TPM0_CH4				
20	15	—	PTE24	禁用		PTE24		TPM0_CH0		I2C0_SCL		
21	16	—	PTE25	禁用		PTE25		TPM0_CH1		I2C0_SDA		
22	17	10	PTA0	SWD_CLK	TSIO_CH1	PTA0		TPM0_CH5				SWD_CLK
23	18	11	PTA1	禁用	TSIO_CH2	PTA1	UART0_RX	TPM2_CH0				
24	19	12	PTA2	禁用	TSIO_CH3	PTA2	UART0_TX	TPM2_CH1				
25	20	13	PTA3	SWD_DIO	TSIO_CH4	PTA3	I2C1_SCL	TPM0_CH0				SWD_DIO
26	21	14	PTA4	NMI_b	TSIO_CH5	PTA4	I2C1_SDA	TPM0_CH1				NMI_b
27	—	—	PTA5	禁用		PTA5	USB_CLKIN	TPM0_CH2			I2S0_TX_ BCLK	
28	—	—	PTA12	禁用		PTA12		TPM1_CH0			I2S0_TXD0	
29	—	—	PTA13	禁用		PTA13		TPM1_CH1			I2S0_TX_FS	
30	22	15	VDD	VDD	VDD							
31	23	16	VSS	VSS	VSS							
32	24	17	PTA18	EXTAL0	EXTAL0	PTA18		UART1_RX	TPM_CLKIN0			
33	25	18	PTA19	XTAL0	XTAL0	PTA19		UART1_TX	TPM_CLKIN1		LPTMR0_ ALT1	
34	26	19	PTA20	RESET_b		PTA20						RESET_b
35	27	20	PTB0/ LLWU_P5	ADC0_SE8/ TSIO_CH0	ADC0_SE8/ TSIO_CH0	PTB0/ LLWU_P5	I2C0_SCL	TPM1_CH0				
36	28	21	PTB1	ADC0_SE9/ TSIO_CH6	ADC0_SE9/ TSIO_CH6	PTB1	I2C0_SDA	TPM1_CH1				
37	29	—	PTB2	ADC0_SE12/ TSIO_CH7	ADC0_SE12/ TSIO_CH7	PTB2	I2C0_SCL	TPM2_CH0				
38	30	—	PTB3	ADC0_SE13/ TSIO_CH8	ADC0_SE13/ TSIO_CH8	PTB3	I2C0_SDA	TPM2_CH1				
39	31	—	PTB16	TSIO_CH9	TSIO_CH9	PTB16	SPI1_MOSI	UART0_RX	TPM_CLKIN0	SPI1_MISO		
40	32	—	PTB17	TSIO_CH10	TSIO_CH10	PTB17	SPI1_MISO	UART0_TX	TPM_CLKIN1	SPI1_MOSI		
41	—	—	PTB18	TSIO_CH11	TSIO_CH11	PTB18		TPM2_CH0	I2S0_TX_ BCLK			
42	—	—	PTB19	TSIO_CH12	TSIO_CH12	PTB19		TPM2_CH1	I2S0_TX_FS			
43	33	—	PTC0	ADC0_SE14/ TSIO_CH13	ADC0_SE14/ TSIO_CH13	PTC0		EXTRG_IN	audioUSB_ SOF_OUT	CMP0_OUT	I2S0_TXD0	
44	34	22	PTC1/ LLWU_P6/ RTC_CLKIN	ADC0_SE15/ TSIO_CH14	ADC0_SE15/ TSIO_CH14	PTC1/ LLWU_P6/ RTC_CLKIN	I2C1_SCL		TPM0_CH0		I2S0_TXD0	
45	35	23	PTC2	ADC0_SE11/ TSIO_CH15	ADC0_SE11/ TSIO_CH15	PTC2	I2C1_SDA		TPM0_CH1		I2S0_TX_FS	
46	36	24	PTC3/ LLWU_P7	禁用		PTC3/ LLWU_P7		UART1_RX	TPM0_CH2	CLKOUT	I2S0_TX_ BCLK	
47	—	—	VSS	VSS	VSS							

64 LQFP	48 QFN	32 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
48	—	—	VDD	VDD	VDD							
49	37	25	PTC4/ LLWU_P8	禁用		PTC4/ LLWU_P8	SPI0_PCS0	UART1_TX	TPM0_CH3	I2S0_MCLK		
50	38	26	PTC5/ LLWU_P9	禁用		PTC5/ LLWU_P9	SPI0_SCK	LPTMR0_ ALT2	I2S0_RXD0		CMP0_OUT	
51	39	27	PTC6/ LLWU_P10	CMP0_IN0	CMP0_IN0	PTC6/ LLWU_P10	SPI0_MOSI	EXTRG_IN	I2S0_RX_ BCLK	SPI0_MISO	I2S0_MCLK	
52	40	28	PTC7	CMP0_IN1	CMP0_IN1	PTC7	SPI0_MISO	audioUSB_ SOF_OUT	I2S0_RX_FS	SPI0_MOSI		
53	—	—	PTC8	CMP0_IN2	CMP0_IN2	PTC8	I2C0_SCL	TPM0_CH4	I2S0_MCLK			
54	—	—	PTC9	CMP0_IN3	CMP0_IN3	PTC9	I2C0_SDA	TPM0_CH5	I2S0_RX_ BCLK			
55	—	—	PTC10	禁用		PTC10	I2C1_SCL		I2S0_RX_FS			
56	—	—	PTC11	禁用		PTC11	I2C1_SDA		I2S0_RXD0			
57	41	—	PTD0	禁用		PTD0	SPI0_PCS0		TPM0_CH0			
58	42	—	PTD1	ADC0_SE5b	ADC0_SE5b	PTD1	SPI0_SCK		TPM0_CH1			
59	43	—	PTD2	禁用		PTD2	SPI0_MOSI	UART2_RX	TPM0_CH2	SPI0_MISO		
60	44	—	PTD3	禁用		PTD3	SPI0_MISO	UART2_TX	TPM0_CH3	SPI0_MOSI		
61	45	29	PTD4/ LLWU_P14	禁用		PTD4/ LLWU_P14	SPI1_PCS0	UART2_RX	TPM0_CH4			
62	46	30	PTD5	ADC0_SE6b	ADC0_SE6b	PTD5	SPI1_SCK	UART2_TX	TPM0_CH5			
63	47	31	PTD6/ LLWU_P15	ADC0_SE7b	ADC0_SE7b	PTD6/ LLWU_P15	SPI1_MOSI	UART0_RX		SPI1_MISO		
64	48	32	PTD7	禁用		PTD7	SPI1_MISO	UART0_TX		SPI1_MOSI		

5.2 KL26 引脚分配

下图显示的是本档中所支持器件的引脚分配。多个信号可能多路复用至一个引脚。要确定哪个引脚上使用什么信号，请参见 [KL26 信号多路复用及引脚分配](#)。

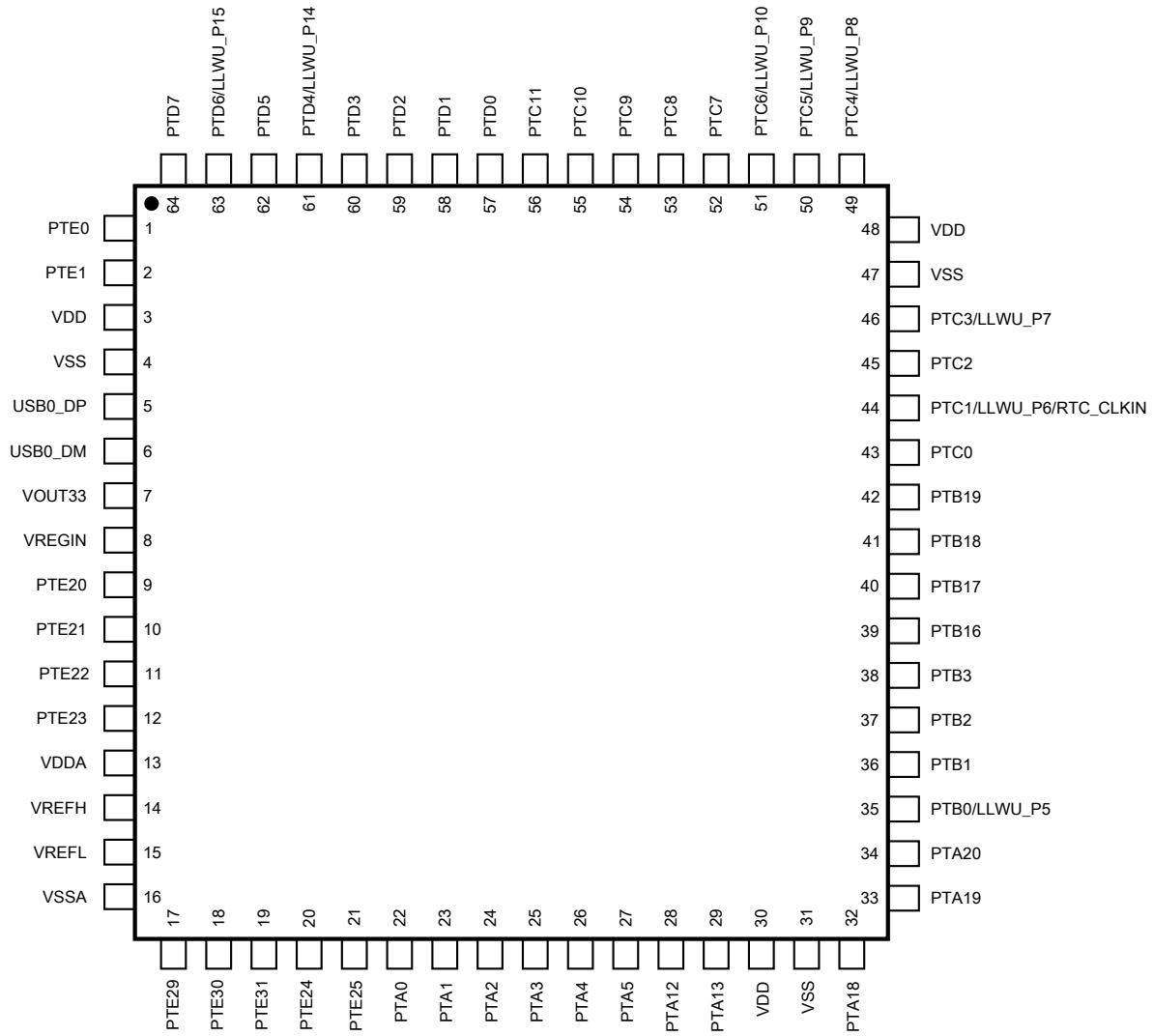


图 22. KL26 64 引脚 LQFP 引脚分配图

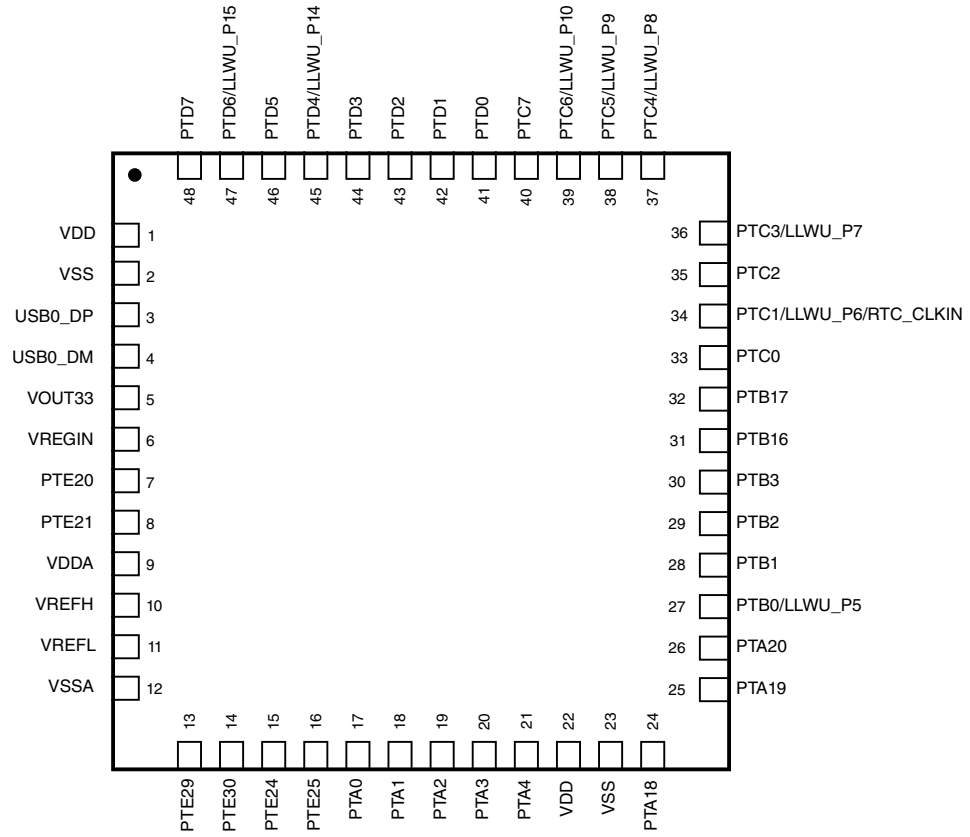


图 23. KL26 48 引脚 QFN 引脚分配图

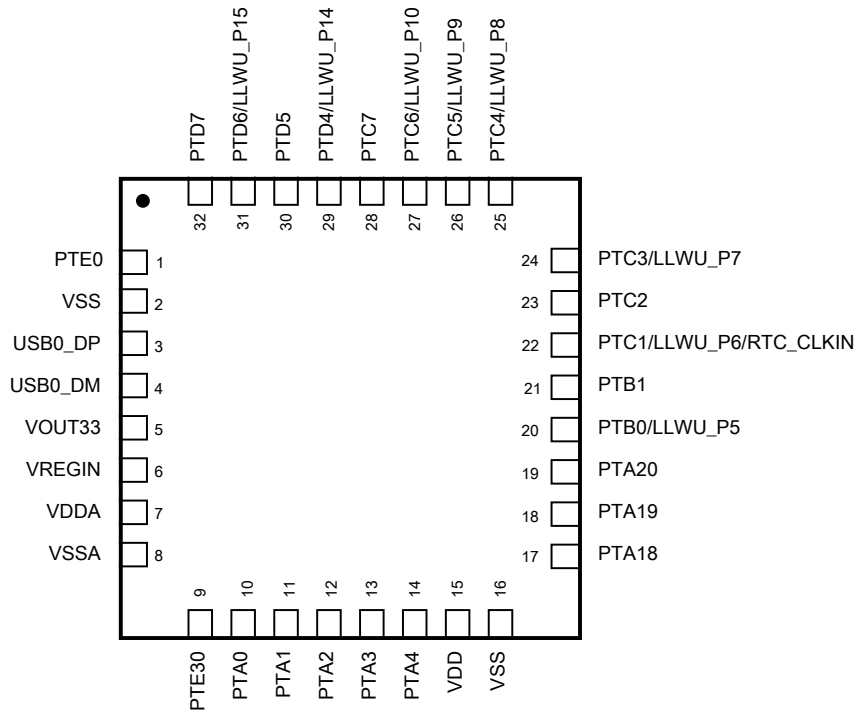


图 24. KL26 32 引脚 QFN 引脚分配图

6 订购器件

6.1 确定有效的可订购器件

有效可订购器件编号已发布在网络上。要确定该器件的可订购型号，请访问 freescale.com，然后对以下器件执行型号搜索：PKL26 和 MKL26

7 部件标识

7.1 说明

芯片的器件型号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

7.2 格式

该设备的器件编号采用如下格式：

Q KL## A FFF R T PP CC N

7.3 字段

下表列出器件编号中每一字段的可能值（并非所有组合都有效）：

字段	说明	值
Q	资格状态	<ul style="list-style-type: none"> M = 完全合格，正式进入市场 P = 资格预审
KL##	Kinetis 系列	<ul style="list-style-type: none"> KL26
A	主要属性	<ul style="list-style-type: none"> Z = Cortex-M0+
FFF	程序 Flash 存储器大小	<ul style="list-style-type: none"> 32 = 32 KB 64 = 64 KB 128 = 128 KB
R	芯片版本	<ul style="list-style-type: none"> (空白) = 主版本 A = 主版本后的修订版本
T	温度范围(°C)	<ul style="list-style-type: none"> V = -40 至 105
PP	封装标识符	<ul style="list-style-type: none"> FM = 32 QFN (5 mm x 5 mm) FT = 48 QFN (7 mm x 7 mm) LH = 64 LQFP (10 mm x 10 mm)
CC	最大 CPU 频率(MHz)	<ul style="list-style-type: none"> 4 = 48 MHz
N	封装类型	<ul style="list-style-type: none"> R = 盘卷

7.4 示例

下面是一些器件型号示例：

MKL26Z128VFM4

8 术语和准则

8.1 定义：操作要求

操作要求是指在操作过程中必须保证达到的技术特性的指定值或值范围，目的是避免错误操作以及缩短芯片使用寿命。

8.1.1 示例

下面是一个操作要求示例：

符号	说明	最小值	最大值	单位
V _{DD}	1.0 V 内核供电电压	0.9	1.1	V

8.2 定义：特性

除非另有说明，特性是指在操作过程中，只要满足操作要求及其他任何指定条件，即保证达到的技术特性的指定值或值范围。

8.3 定义：属性

属性是指无论是否满足操作要求，均可保证达到的技术特性的指定值或值范围。

8.3.1 示例

下面是一个属性示例：

符号	说明	最小值	最大值	单位
CIN_D	输入电容：数字引脚	—	7	pF

8.4 定义：极限

极限是指技术特性的最小值或最大值，如果超过此值，可能会导致芯片发生永久性故障：

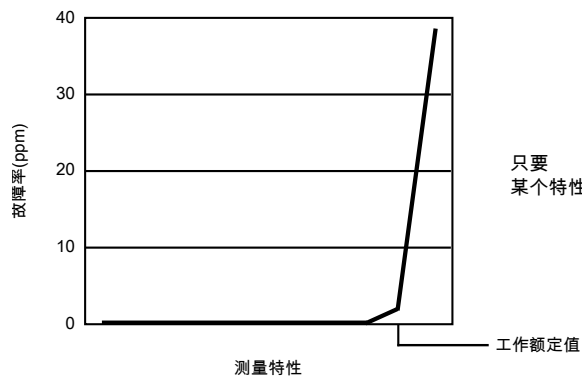
- 运行极限适合在芯片操作过程中使用。
- 非运行极限适合在芯片未通电的情况下使用。

8.4.1 示例

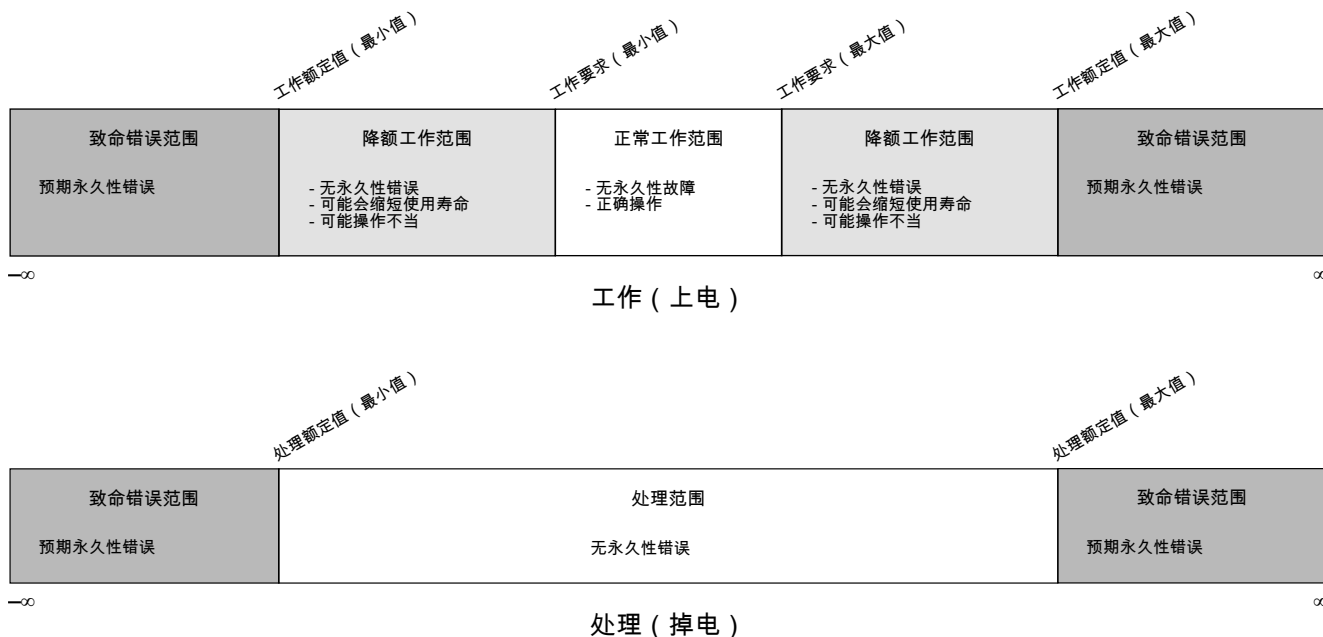
下面是一个运行极限示例：

符号	说明	最小值	最大值	单位
V _{DD}	1.0 V 内核供电电压	-0.3	1.2	V

8.5 超出极限的后果



8.6 极限与操作要求的关系



8.7 额定值和操作要求准则

在应用极限和操作要求时，请遵循以下准则：

- 切勿超出芯片的任何一个极限。
- 在正常操作期间，不要超出芯片的任何一项操作要求。
- 如果在非正常操作期间必须要超出某项操作要求（例如在上电时序期间），请尽量缩短持续时间。

8.8 定义：典型值

典型值是指满足下列条件的技术特性的指定值：

- 在特性指定的值范围内
- 在典型的制造工艺流程中，只要满足典型值条件或其他指定条件，即在操作过程中代表该特性

典型值供设计指导之用，未测试和担保。

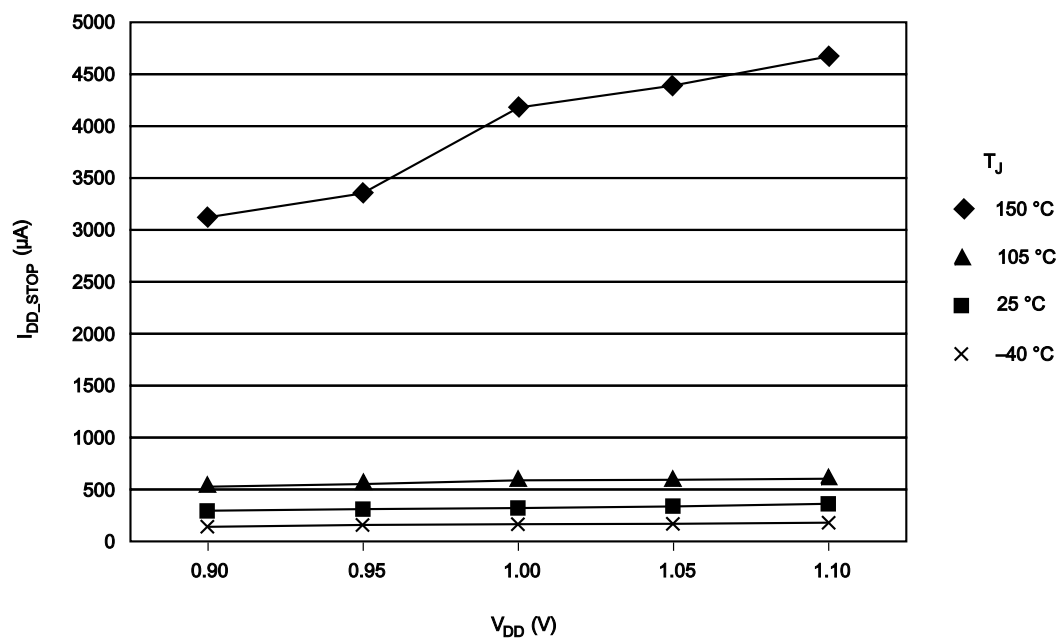
8.8.1 示例 1

下面是一个包含典型值的特性示例:

符号	说明	最小值	典型值	最大值	单位
I_{WP}	数字 I/O 弱上拉/下拉电流	10	70	130	μA

8.8.2 示例 2

下面是一个显示不同电压和温度条件下的典型值的图表示例:



8.9 典型值条件

典型值假设满足下列条件 (或指定的其他条件):

表 41. 典型值条件

符号	说明	值	单位
T_A	环境温度	25	$^{\circ}C$
V_{DD}	3.3 V 电源电压	3.3	V

9 修订记录

下表列出本文的修订记录。

表 42. 修订记录

修订版本号	日期	重大变更
3	03/2014	<ul style="list-style-type: none">更新了首页，并重新组织了章节结构。
4	05/2014	<ul style="list-style-type: none">更新了功耗特性更新了USB 电气特性更新了定义: 特性
5	08/2014	<ul style="list-style-type: none">更新了相关资源更新了功耗特性更新了USB 电气特性 中的注释

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对本文档中所述任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用或使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于因果性或附带损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有操作参数，包括“典型值”在内，在每个客户应用中必须经由技术专家进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, Freescale logo, Energy Efficient Solutions logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. All rights reserved.

© 2012-2014 Freescale Semiconductor, Inc.